

2661
PATENT
#4
Cm
02-25-2

Atty. Docket No. 678-748(P9928)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT(S): Hyun-Woo LEE, et al.

SERIAL NO.: Not yet assigned

09 974 656 RECEIVED

FILED: October 9, 2001

FEB 08 2002

FOR: APPARATUS AND METHOD FOR CODING/DECODING TFCI
BITS IN AN ASYNCHRONOUS CDMA COMMUNICATION SYSTEM

Dated: October 23, 2001

Assistant Commissioner
for Patents
Washington, D.C. 20231

Technology Center 2600

Sir:

Enclosed are certified copies of Korean Patent Appln. Nos. 2000/59359, filed on October 9, 2000 and 2000/59863, filed on October 11, 2000, from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

Paul J. Farrell
Reg. No. 33,494
Attorney for Applicant(s)

DILWORTH & BARRESE, LLP
333 Earle Ovington Blvd.
Uniondale, NY 11553
(516) 228-8484

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Assistant Commissioner for Patents, Washington, D.C. 20231 on October 23, 2001.

Dated: October 23, 2001

Barbara Evers



CERTIFIED COPY OF
PRIORITY DOCUMENT

대한민국특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

RECEIVED

FEB 08 2002

Technology Center 2600

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 59359 호
Application Number PATENT-2000-0059359

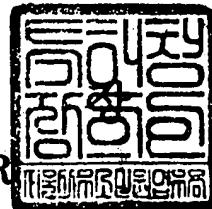
출원년월일 : 2000년 10월 09일
Date of Application OCT 09, 2000

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2001 년 10 월 09 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2000.10.09
【국제특허분류】	H04B
【발명의 명칭】	분할모드에 따른 전송형식 조합표시 비트의 부호화 장치 및 방법
【발명의 영문명칭】	apparatus and method for TFCI bits coding and decoding
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	1999-006038-0
【발명자】	
【성명의 국문표기】	김재열
【성명의 영문표기】	KIM, Jae Yael
【주민등록번호】	700219-1047637
【우편번호】	435-042
【주소】	경기도 군포시 산본2동 백두아파트 960동 1401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이현우
【성명의 영문표기】	LEE, Hyun Woo
【주민등록번호】	630220-1709811
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 벽산 아파트 806동 901호
【국적】	KR

【발명자】

【성명의 국문표기】 최성호
 【성명의 영문표기】 CHOI, Sung-Ho
 【주민등록번호】 700405-1268621
 【우편번호】 463-010
 【주소】 경기도 성남시 분당구 정자동 느티마을 305동 302
 호
 【국적】 KR

【발명자】

【성명의 국문표기】 양경철
 【성명의 영문표기】 YANG, Kyeong-Cheol
 【주민등록번호】 630926-1951724
 【우편번호】 150-010
 【주소】 서울특별시 영등포구 여의도동 시범아파트 11동 42
 호
 【국적】 KR
 【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합
 니다. 대리인
 이건주 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	37	면	37,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	66,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

비동기 이동통신 시스템의 제1채널과 제2채널의 정보량의 비에 따라 각각 대응되는 TFCI비트를 부호화하여 전송하는 장치가, 제1채널의 정보량에 따른 m비트의 TFCI비트들을 생성하는 제1TFCI비트 발생기와, 제2채널의 정보량에 따른 n비트의 TFCI비트들을 생성하는 제2TFCI비트 발생기와, 제1TFCI비트들을 설정된 부호화율에 따라 부호화하며 부호화된 제1TFCI 심볼들을 상기 제1채널의 부호길이 정보에 따라 천공하는 제1부호기와, 제2TFCI 비트들을 설정된 부호화율에 따라 부호화하며 부호화된 제2TFCI 심볼을 상기 제2채널의 부호길이 정보에 따라 천공하는 제2부호기와, 제1부호기 및 제2부호기에서 출력되는 심볼들을 균일하게 분포되도록 다중화하는 멀티플렉서로 구성된다.

【대표도】

도 4

【색인어】

TFCI, DSCH, DCH, TFCI coding, TFCI multiplexing

【명세서】**【발명의 명칭】**

분할모드에 따른 전송형식 조합표시 비트의 부호화 장치 및 방법 {apparatus and method for TFCI bits coding and decoding}

【도면의 간단한 설명】

도 1. Hard split 방법에 해당하는 (16,5)coding을 나타내는 도면

도 2. Hard split 방법을 위한 기지국간의 신호메시지 및 데이터 전송을 나타내는 도면

도 3. Logical split 방법을 위한 기지국간의 신호메시지 및 데이터 전송을 나타내는 도면

도 4. DSCH용 TFCI와 DCH용 TFCI 정보 비트를 수신하여 각각 서로 다른 부호화 방법으로 부호화 하여 전송하는 본 발명의 도면

도 5. 본 발명의 도4의 부호기를 나타내는 도면

도 6. 본 발명의 부호화 방법으로 부호화된 부호화 심볼을 수신하여 복호화하는 수신기를 나타내는 도면

도 7. 본 발명의 수신기에 사용되는 복호기를 나타내는 도면

도 8. 다운링크 DCH의 신호 전송 포맷을 나타내는 도면

도 9. 서로 다른 방법으로 코딩된 부호화 심볼을 멀티플레싱 하는 방법을 나타내는 도면

도10. SRNC 와 DRNC가 동일하지 않는 경우 상기 Logical split 방법을 위한
기지국간의 신호메시지 및 데이터 전송을 나타내는 본 발명의 도면

도11. 본 발명의 DRNC의 동작과정을 나타내는 도면

도12. SRNC의 동작과정을 나타내는 도면

도13. 도 8. DRNC로부터 SRNC로 전송되는 정보를 담고 있는 Control Frame
의 구조의 한 예를 보여 주는 도면

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 비동기 이동통신 방식에서 사용하는 채널중에 하향 공유 채널의
데이터 전송시 사용되는 전송형식 조합표시 비트를 부호화 및 복호화 장치 및 방
법에 관한 것이다.

<15> 하향공유채널(DSCH: Downlink Shared Channel, 이하 'DSCH'라 칭함)의 데이
터 전송시 사용되는 Transport Format Combination Indicator(이하 'TFCI'라 칭한
다.)를 전송하는 방법과 TFCI를 위한 coding/decoding을 위한 장치 및 방법에 관
한 것이다.

<16> 상기 하향 공유채널(Downlink Shared Channel, 이하 'DSCH'라 칭한다)은 여
러 사용자가 시간을 분할하여 사용하는 공유채널이다. 상기 DSCH는 각 사용자마

다 전용 채널(Dedicated Channel: 이하 'DCH'라 칭한다.)과 함께 설정될 수 있다. 상기 DCH는 DPCCH와 DPDCH를 포함하고 있다. 특히 DSCH를 위한 물리 제어 채널로 전용물리채널(Dedicated Physical Control Channel: 이하 'DPCCH'라 칭한다)가 사용된다. 따라서 DPCCH는 해당 DCH와 DSCH를 위한 물리 제어 채널로 사용되며 제어 신호중의 하나인 전송형식 조합표시 비트(Transport Format Combination Indicator: 이하 'TFCI'라 칭한다)에 대한 정보가 DCH와 DSCH를 위하여 동시에 필요하다.

<17> 상기 TFCI는 물리채널을 통해 전송되는 데이터 정보량을 나타내는 정보이다.

<18> 상기 TFCI는 10bit로 구성된 정보를 30bit로 coding을 이용하여 나타내어 진다. 즉 데이터 정보량에 관한 정보는 10bit로 표현되고 이를 물리 채널로 전송 시에는 30bit로 구성하여 전송하게 된다.

<19> DPCCH에 DCH를 위한 TFCI와 DSCH를 위한 TFCI를 동시에 전송하는 방법은 크게 두가지 방법으로 구분된다. 첫째가 하드 스플리트(이하 Hard split라 칭한다) 방법이고 둘째가 논리 스플리트(이하 Logical split라 칭한다) 방법이다.

<20> 상기 DCH를 위한 TFCI는 TFCI(field 1) 또는 제1TFCI라 칭하고 DSCH를 위한 TFCI는 TFCI(field 2) 또는 제2TFCI라 칭한다.

<21> 상기 Logical split 방법의 경우 상기 TFCI(field 1)과 TFCI(field 2)를 하나의 TFCI로 상기 (30,10)천공된 리드물리 코드(sub-code sencond order Reed Muller Code)로 부호화(coding)하여 전송한다. 상기 TFCI(field 1)과 TFCI(field

2)는 정보 10bit를 1:9 또는 2:8 또는 3:7 또는 4:6 또는 5:5 또는 6:4 또는 7:3 또는 8:2 또는 9:1 등으로 나누어 정보를 나타낸 후, 10bit를 하나의 블럭코딩(block coding), 즉 (30,10)천공된 리드밀러 코드(sub-code sencond order Reed Muller Code)로 부호화하여 전송한다.

<22> 상기 Hard split 방법의 경우 상기 TFCI(field 1)과 TFCI(field 2)는 각각 5 비트씩으로 나타내어지고, 각각의 정보는 (15,5)천공된 이중직교부호(Bi-Orthogonal code)를 이용하여 출력한 후, 상기 각각의 15 비트를 멀티플렉싱하여 30 비트로 만들어 물리채널로 전송한다.

<23> 도 1은 상기 Hard split 방법에 따른 송신기의 구조를 나타내는 도면이다.

<24> 먼저 5비트의 DCH를 위한 TFCI(field 1)비트들이 (15,5)Bi-Orthogonal 부호기 100에 입력되면 상기 부호기 100은 상기 5비트의 DCH를 위한 TFCI(field 1)비트들을 부호화하여 15심볼의 부호화 심볼들을 멀티플렉서 110으로 출력하고, 동시에 5비트의 DSCH를 위한 TFCI(field 2)비트들이 (15,5)Bi-Orthogonal 부호기 105에 입력되면 상기 부호기 105는 상기 5비트의 DCH를 위한 TFCI(field 1)비트들을 부호화하여 15심볼의 부호화 심볼들을 멀티플렉서 110으로 출력한다. 그러면, 상기 멀티플렉서 110은 상기 부호기 100에서 출력된 15심볼의 부호화 심볼들과 상기 부호기 105에서 출력된 15심볼의 부호화 심볼들을 시간적으로 멀티플렉싱하여 30심볼을 배열하여 출력한다. 그러면, 상기 출력된 30심볼은 다시 멀티플렉서 120으로 입력되어, 동시에 입력된 기타신호들과 시간적으로 멀티플렉싱되어 전후 확산기 130으로 출력되면, 상기 확산기 130은 확산부호 생성기 135로부터 입력되어진 확산부호로 확산하여 출력하고, 상기와 같은 확산되어진 신호들은 다시

스크램블러 140에 입력되고, 상기 스크램블러 140은 스크램블링 부호 생성기

145로부터 입력되어진 스크램블링 부호로 스크램블되어 출력되어진다.

<25> 도 2은 기존의 3GPP(3RD Generation PartnerShip Project)에서 정의한 상기 Hard split 방법을 위한 기지국간의 신호메시지 및 데이터 전송을 나타내는 도면이다.

<26> 상기 도 2의 단계 101에서 Serving RNC(이하 'SRNC'라 칭한다)의 Radio Link Control(RLC)는 SRNC의 Mac-d에 전송할 data를 전송한다. 이 때 전송되는 primitive는 Mac-d data-req이다.

<27> 상기 도 2의 단계 102에서 SRNC의 Mac-d는 CRNC의 Mac-c에 RLC로부터 수신한 data를 전송한다. 이 때 전송되는 primitive는 Mac-c/sh-data-req이다.

<28> 상기 도 2의 단계 103에서 CRNC는 단계 2에서 SRNC의 Mac-d에서 수신한 data를 위한 전송시간을 결정한 후 (scheduling) data와 해당 TFI를 함께 Node B의 L1으로 전송한다. 이 때 전송되는 primitive는 Mphy-data-req이다.

<29> 상기 도 2의 단계 104에서 SRNC의 Mac-d에서 Node B의 L1으로 전송될 DCH의 data와 해당 TFI를 전송한다. 이 때 전송되는 primitive는 Mphy-data-req이다.

<30> 상기 도 2의 단계 103과 단계 104에서 전송되는 data들은 서로 독립적으로 전송되며 Node-B 의 L1은 DCH와 DSCH용으로 분할 되어 있는 TFCI를 생성한다.

<31> 상기 도 2의 단계 103과 단계 104에서 data와 TFI는 data frame protocol을 이용하여 전송된다.

<32> 상기 도 2의 단계 105에서 Node B의 L1은 UE의 L1으로 DSCH data를 Physical DSCH(이하 'PDSCH'라 칭한다)로 전송한다.

<33> 상기 도 2의 단계 106에서 Node B의 L1은 UE의 L1으로 DPCH를 이용하여 TFCI를 전송한다. 이때 상기 단계 3과 단계 4에서 수신한 TFI를 이용하여 생성한 TFCI를 각각 DCH용 DSCH용 field를 이용하여 전송한다.

<34> 도 3은 상기 Logical split 방법을 위한 기지국간의 신호메시지 및 데이터 전송을 나타내는 도면이다.

<35> 상기 도 3의 단계 201에서 RNC의 RLC는 RNC의 Mac-d에 전송할 DSCH data를 전송한다. 이 때 전송되는 primitive는 Mac-d data-req이다.

<36> 상기 도 3의 단계 202에서 RNC의 Mac-d는 RNC의 Mac-c에 RLC로부터 수신한 data를 전송한다. 이 때 전송되는 primitive는 Mac-c/sh-data-req이다.

<37> 상기 도 3의 단계 203에서는 단계 202에서 RNC의 Mac-d에서 수신한 data를 위한 전송시간을 결정한 후 (scheduling) 해당 TFCI를 RNC의 Mac-d로 전송한다.

<38> 상기 도 3의 단계 204에서 RNC의 Mac-c는 Node B의 L1로 DSCH 데이터를 전송한다. 이 때 전송되는 DSCH 데이터는 단계 203에서 미리 결정된 (scheduled) 시간에 전송된다.

<39> 상기 도 3의 단계 205에서 RNC의 Mac-d에서 Node B의 L1으로 DSCH를 위한 TFCI를 결정하여 전송한다. 이 때 전송되는 primitive는 Mphy-data-req이다.

<40> 상기 도 3의 단계 206에서 RNC의 Mac-d에서 Node B의 L1으로 전송될 DCH의 data와 DCH를 위한 TFCI를 결정하여 전송한다. 이 때 전송되는 프리미티브(primitive)는 Mphy-data-req이다.

<41> 상기 도 3의 단계 204에서 전송되는 DSCH data와 단계 205에서 전송되는 TFCI는 상기 단계 203에서 결정된 시간과 관계를 갖는다. 즉 단계 205에서 전송되는 TFCI는 단계 204에서 전송되는 DSCH 데이터가 PDSCH로 전송되기 직전 Frame에 DPCCH로 UE에게 전송되어 진다.

<42> 상기 도 3의 단계 204와 단계 205와 단계 206에서 전송되는 데이터 및 TFCI는 프레임 프로토콜(Frame protocol)을 이용하여 전송된다. 특히 단계 206에서 전송되는 TFCI는 제어프레임(Control frame)을 통하여 전송된다.

<43> 상기 도 3의 단계 207에서 Node B의 L1은 UE의 L1으로 DSCH 데이터를 PDSCH로 전송한다.

<44> 상기 도 3의 단계 208에서 Node B의 L1은 UE의 L1으로 DPCH를 이용하여 TFCI를 전송한다. 이때 상기 단계 205과 단계 206에서 수신한 각각의 TFCI 또는 TFI를 이용하여 하나의 TFCI를 생성하여 DPCCH를 이용하여 전송한다.

<45> 상기 설명에 의하면 Logical split 방법의 경우 Mac-c는 Mac-d에 DSCH scheduling 정보 및 해당 DSCH의 TFCI 정보를 전송한다. 이것은 DSCH와 DCH에 관한 TFCI를 하나의 코딩 방법으로 부호화하기 때문에 Mac-d에서 이 정보를 동시에 노드 B(Node B)의 L1으로 보내야 하기 때문이다. 따라서 Mac-d에 전송할 데이터

가 있는 경우 데이터를 Mac-c로 전송한 후 Mac-c로 부터의 스케줄링(Scheduling) 정보 및 TFCI 정보를 수신할 때까지 지연이 생길 수 있다. 또한 Mac-c와 Mac-d가 Iur상에 분리되어 있는 경우 즉 Mac-c는 DRNC에 Mac-d는 SRNC에 있는 경우 Iur상으로 스케줄링 정보 및 TFCI 정보를 주고 받기 때문에 더 큰 지연이 생길 수 있다.

<46> 상기 설명에 의하면 hard split 방법의 경우 Logical split 방법의 경우에 비해 Mac-c에서의 스케줄링 이후에 Mac-d로의 정보전송이 필요하지 않아 지연(delay)을 줄일 수 있다. 이것은 hard split의 경우 Node B에서 DCH용 TFCI와 DSCH용 TFCI를 각각 독립적으로 코딩할 수 있기 때문에 가능하다. 또한 Mac-c와 Mac-d가 Iur 상에 분리되어 있는 경우 즉 Mac-c는 DRNC에 Mac-d는 SRNC에 있는 경우 Iur상으로 scheduling 정보를 주고 받지 않기 때문에 장점이 있다. 그러나 상기 설명에 의하면 DCH용과 DSCH용 TFCI는 정보량은 각각 5bit씩 나누어 지게 되어 각각 최대 32개의 정보를 나타낼 수 있고 따라서 DSCH를 위한 TFCI정보가 32개 이상인 경우는 hard split를 사용할 수 없는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<47> 따라서 본 발명의 목적은 하나의 인코더 구조를 이용하여 다수의 코딩을 할 수 있는 장치 및 방법을 제공함에 있다.

<48> 본 발명의 다른 목적은 서로 다른 코딩방법을 이용하여 코딩된 심볼들을 멀티플렉싱하여 전송하는 장치 및 방법에 관한 것이다.

<49> 본 발명의 또 다른 목적은 hard split 방법의 경우 각각 5bit로 구성되는 정보량을 Logical의 경우와 같이 10bit를 1:9 또는 2:8 또는 3:7 또는 4:6 또는 5:5 또는 6:4 또는 7:3 또는 8:2 또는 9:1 등으로 나누어 정보를 나타낸 후 각각에 대하여 coding을 적용할 수 있도록 하는 장치 및 방법을 제공함에 있다.

【발명의 구성 및 작용】

<50> 이하 본 발명의 일 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<51> 한편, 본 발명의 실시 예는 본 발명의 주된 내용을 구체화하기 위하여 필요 한 것이며, 본 발명의 내용을 제한하지는 않는다. 또한, 본 발명의 실시 예를 설명함에 있어 앞에서 설명한 구성요소와 동일한 동작을 하는 다른 도면의 구성요 소는 이전과 동일한 도면 참조번호를 사용하고 있음에 주의하여야 할 것이다.

<52> 본 발명은 hard split 방법의 경우 DSCH를 위한 정보비트와 DCH를 위한 정보비트의 수가 총 10bit 중에서 1:9 또는 2:8 또는 3:7 또는 4:6 또는 5:5 또는 6:4 또는 7:3 또는 8:2 또는 9:1 등으로 나누어 정보를 나타낸 후 각각에 대하여 코딩(coding)을 적용할 수 있도록 하는 장치 및 방법을 제공함에 있다.

<53> 먼저 물리계층에서 한 프레임에는 30개의 TFCI 부호 심볼이 전송되는데 이는 부호율이 1/3이다. 상기 TFCI 정보비트가 상기와 같이 일정비로 나누어질 때, 상기의 일정비와 같은 비율로 부호심볼의 개수를 나누어 각각의 부호율을 유지하는 것이 바람직하다. 예를 들어, 10비트의 입력비트들이 1:9로 나누어질 경우, 30

심볼의 출력심볼은 3:27로 나누어지고, 10비트의 입력비트들이 2:8로 나누어질 경우, 30심볼의 출력심볼은 6:24로 나누어지고, 10비트의 입력비트들이 3:7로 나누어질 경우, 30심볼의 출력심볼은 9:21로 나누어지고, 10비트의 입력비트들이 4:6로 나누어질 경우, 30심볼의 출력심볼은 12:18로 나누어지는 것이 바람직하다. 따라서,

<54> 정보량의 비율이 1:9일 경우, 1비트를 입력받아 3개의 부호심볼을 출력하는 (3,1)부호와 9비트를 입력받아 27개의 부호심볼을 출력하는 (27,9)부호가 필요하고, 정보량의 비율이 2:8일 경우, 2비트를 입력받아 6개의 부호심볼을 출력하는 (6,2)부호와 8비트를 입력받아 24개의 부호심볼을 출력하는 (24,8)부호가 필요하고, 정보량의 비율이 3:7일 경우, 3비트를 입력받아 9개의 부호심볼을 출력하는 (9,3)부호와 7비트를 입력받아 21개의 부호심볼을 출력하는 (21,7)부호가 필요하고, 정보량의 비율이 4:6일 경우, 4비트를 입력받아 12개의 부호심볼을 출력하는 (12,4)부호와 6비트를 입력받아 18개의 부호심볼을 출력하는 (18,6)부호가 필요하다. 따라서, 상기 10가지의 부호기들이 성능면에서 우수하고, 하드웨어의 복잡도를 위해서 상기의 10가지 부호기들이 한가지 구조로 동작할 수 있는 부호기가 필요하다.

<55> 통상적으로 선형 오류정정부호(Linear Error Correcting Code)의 성능을 나타내는 척도(measure)로서는 오류정정부호의 부호어(codeword)의 해밍 거리(Hamming distance) 분포가 있는데, 이는 각각의 부호어에서 0이 아닌 심볼의 개수를 의미한다. 즉, 0111이 어떤 부호어라면 이 부호어에 포함된 1의 개수, 즉, 해밍거리는 3이다. 이 때, 여러 부호어의 해밍거리 값들 중 가장 작은 값을 최소

거리(d_{\min} ; minimum distance)라고 칭한다. 상기 선형 오류정정부호(Linear Error Correcting Code)에 있어서 상기의 최소거리가 클수록 오류정정 성능이 우수한데, 이는 참조문헌 'The Theory of Error-Correcting Codes' - F.J.Macwilliams, N.J.A. Sloane, North-Holland에서 상세히 개시하고 있다.

<56> 또한, 하드웨어 복잡도를 위해서 상기 서로 다른 길이의 부호기를 한가지 부호기 구조로 동작시키기 위해서는 가장 큰 길이의 부호, 즉, (32,10)부호를 Shortening하는 것이 바람직하다. 그러나, 상기 Shortening방법을 사용하기 위해서는 부호심볼의 천공이 필요한데, 상기 부호를 천공함에 있어, 천공의 위치에 따라서 상기 부호의 최소거리가 달라진다. 따라서, 상기 천공된 부호가 최적의 최소거리를 가지도록 하는 천공위치를 구하는 것이 바람직하다. 예를 들어, 상기 여러개의 부호 중, (6,2)부호로써 가장 최적의 부호는 (3,2)심플렉스 부호를 2번 반복하여 사용하는 것이 최소거리관점에서 가장 바람직하다. 이 때, 상기 (3,2)심플렉스의 입력정보비트와 출력되는 (3,2)심플렉스 부호어 간의 관계는 하기 <표1>과 같다.

<57> 【표 1】

입력정보비트	(3,2)심플렉스 부호어
00	000
01	101
10	011
11	110

<58> 따라서, 상기 (3,2)심플렉스 부호어를 2회 반복하게 되면, 입력정보비트와 출력되는 (3,2)심플렉스 부호어 간의 관계는 하기 <표2>과 같다.

<59> 【표 2】

입력정보비트	(3,2)심플렉스의 2회 반복 부호어
00	000 000
01	101 101
10	011 011
11	110 110

<60> 그러나 상기와 같은 (3,2)심플렉스 부호어를 2회 반복한 부호어는 기존에 사용하고 있는 (16,4)Reed Muller부호를 Shortening함으로써 구현할수 있다.. Shortening방법에 대해서 예를 들어 설명하면, 먼저, (16,4)Reed Muller부호는 입력정보비트수인 4개의 길이 16인 기저 부호어의 선형결합인데, 이 중 2비트만 입력이 된다고 함은 4개의 길이 16인 기저 부호어중 2개의 기저 부호어만의 선형결합을 사용하고, 나머지는 사용하지 않는다는 것이다. 또한, 상기와 같이 기저 부호어의 사용을 제한한 후, 상기 16인 길이중 10개의 심볼들을 천공하면, 상기 (16,4)부호기를 사용하여, (6,2)부호기를 동작시킬 수 있다. 하기에 나타나는 <표3>는 상기에서 설명한 Shortening을 설명한다.

<61>

【표 3】

입력정보비트	부호어														
0000	0(*)	0	0	0	0(*)	0	0	0	0(*)	0(*)	0(*)	0(*)	0(*)	0(*)	0(*)
0001	0(*)	1	0	1	0(*)	1	0	1	0(*)	1(*)	0(*)	1(*)	0(*)	1(*)	0(*)
0010	0(*)	0	1	1	0(*)	0	1	1	0(*)	0(*)	1(*)	1(*)	0(*)	0(*)	1(*)
0011	0(*)	1	1	0	0(*)	1	1	0	0(*)	1(*)	1(*)	0(*)	0(*)	1(*)	0(*)
0100	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
0101	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1
0110	0	0	1	1	1	1	0	0	0	0	1	1	1	0	0
0111	0	1	1	0	1	0	0	1	0	1	1	0	1	0	1
1000	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
1001	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1
1010	0	0	1	1	0	0	1	1	1	0	0	1	1	0	0
1011	0	1	1	0	0	1	1	0	1	0	0	1	1	0	1
1100	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0
1101	0	1	0	1	1	0	1	0	1	0	1	0	1	0	1
1110	0	0	1	1	1	1	0	0	1	1	0	0	0	1	1
1111	0	1	1	0	1	0	0	1	1	0	0	1	0	1	0

<62> 상기 <표 3>을 참조하면, 먼저 모든 (16,4)부호어는 짚은 체로 쓰여있는 4개의 길이 16인 기저부호어의 선형결합이다. 이 때, 상기 (6,2)부호를 얻기 위해서는, 상기 4개의 기저 부호어 중 상위 2개의 부호어만을 사용하면, 나머지 하위 12개의 부호어는 자동적으로 쓰이지 않게 되고, 상위 4개의 부호어만을 사용하게 된다. 또한 상위 4개의 부호어 중 길이를 6인 부호어를 만들려면 10개의 심볼을 천공하여야 하는데, 상기 <표 3>에서 (*)로 표시된 부분을 천공하고 나머지 6개의 부호심볼들을 모으면 상기 <표 2>에서 나타낸 (3,2)심플렉스의 2회 반복 부호어를 얻을 수 있다. 따라서, 하기에서는 (32,10)Sub-code of the Second order Reed Muller code를 Shortening하여, 정보량의 비가 1:9일 경우에 사용되어지는 (3,1)최적부호와 (27,9)최적부호를 만드는 부호기의 구조와, 정보량의 비가 2:8일 경우에 사용되어지는 (6,2)최적부호와 (24,8)최적부호를 만드는 부호기의 구조와, 정보량의 비가 3:7일 경우에 사용되어지는 (9,3)최적부호와 (21,7)최적부

호를 만드는 부호기의 구조와, 정보량의 비가 4:6일 경우에 사용되어지는 (12,4) 최적부호와 (18,6)최적부호를 만드는 부호기의 구조와, 정보량의 비가 5:5일 경우에 사용되어지는 (15,5)최적부호와 (15,5)최적부호를 만드는 부호기의 구조에 대해서 실시예를 통해서 설명되어질 것이다.

<63> 하기에 나타날 실시예는 hard split 방법에서 hard split 방법의 경우 각각 5bit로 구성되는 정보량을 Logical의 경우와 같이 10bit를 1:9 또는 2:8 또는 3:7 또는 4:6 또는 5:5 또는 6:4 또는 7:3 또는 8:2 또는 9:1 등으로 나누어 정보를 나타낸 후 각각에 대하여 coding을 적용할 수 있도록 하는 장치 및 방법을 나타낸다.

<64> 실 시 예

<65> 도 4은 상기 실시예에 따른 송신기의 구조를 도시한다. 도 4를 참조하면, 상기 정보량의 비에 따른 배분되어진 DSCH용 TFCI비트와 DCH용 TFCI비트가 부호기 400과 405에 각각 입력된다. 여기서 상기 DSCH용 TFCI비트는 TFCI(field 1) 또는 제1TFCI가 될 수 있으며, DCH용 TFCI비트는 TFCI(field2) 또는 제2TFCI비트가 된다. 상기 DSCH용 TFCI비트는 제1TFCI비트 발생기450에서 발생되며, DCH용 TFCI비트는 제2TFCI비트 발생기 455에 발생된다. 그리고 상기 제1 및 제2TFCI비트는 정보량의 비에 따라 상기한 바와 같이 각각 다른 비율을 갖는 TFCI비트들을 생성한다. 또한 상기 정보량의 비에 따른 부호어의 길이 설정값인 부호길이 정보를 나타내는 제어신호가 부호기 400과 부호기 405에 입력된다. 상기 부호길이

정보는 부호길이정보 발생기460에서 발생되며, 이때 상기 부호길이 정보는 상기 제1TFCI 및 제2TFCI비트의 길이에 따라 가변되는 값을 갖는다.

<66> 이 때, 정보량의 비가 6:4일 경우, 상기 6비트의 DSCH용 TFCI비트가 부호기 400에 입력됨과 동시에 부호기 400은 6비트의 입력을 받아 18심볼의 부호어를 출력하는 (18,6)부호기로 동작하도록하는 제어신호를 입력받아서 (18,6)부호기로 동작한 후 18심볼의 부호화 심볼들을 출력하고, 상기 4비트의 DCH용 TFCI비트가 부호기 400에 입력됨과 동시에 부호기 400은 4비트의 입력을 받아 12심볼의 부호어를 출력하는 (12,4)부호기로 동작하도록하는 제어신호를 입력받아서 (12,4)부호기로 동작한 후 12심볼의 부호화 심볼들을 출력하게 된다. 또한, 정보량의 비가 7:3일 경우, 상기 7비트의 DSCH용 TFCI비트가 부호기 400에 입력됨과 동시에 부호기 400은 7비트의 입력을 받아 21심볼의 부호어를 출력하는 (21,7)부호기로 동작하도록하는 제어신호를 입력받아서 (21,7)부호기로 동작한 후 21심볼의 부호화 심볼들을 출력하고, 상기 3비트의 DCH용 TFCI비트가 부호기 400에 입력됨과 동시에 부호기 400은 3비트의 입력을 받아 9심볼의 부호어를 출력하는 (9,3)부호기로 동작한 후 9심볼의 부호화 심볼들을 출력하게 된다. 또한, 정보량의 비가 8:2일 경우, 상기 8비트의 DSCH용 TFCI비트가 부호기 400에 입력됨과 동시에 부호기 400은 8비트의 입력을 받아 24심볼의 부호어를 출력하는 (24,8)부호기로 동작하도록하는 제어신호를 입력받아서 (24,8)부호기로 동작한 후 18심볼의 부호화 심볼들을 출력하고, 상기 2비트의 DCH용 TFCI비트가 부호기 400에 입력됨과 동시에 부호기 400은 2비트의 입력을 받아 6심볼의 부호어를 출력하는 (6,2)부호기로 동작하도록하는 제

어신호를 입력받아서 (6,2)부호기로 동작한 후 6심볼의 부호화 심볼들을 출력하게 된다. 또한, 정보량의 비가 9:1일 경우, 상기 9비트의 DSCH용 TFCI비트가 부호기 400에 입력됨과 동시에 부호기 400은 9비트의 입력을 받아 27심볼의 부호어를 출력하는 (27,9)부호기로 동작하도록하는 제어신호를 입력받아서 (27,9)부호기로 동작한 후 27심볼의 부호화 심볼들을 출력하고, 상기 1비트의 DCH용 TFCI비트가 부호기 400에 입력됨과 동시에 부호기 400은 1비트의 입력을 받아 3심볼의 부호어를 출력하는 (3,1)부호기로 동작하도록하는 제어신호를 입력받아서 (3,1)부호기로 동작한 후 3심볼의 부호화 심볼들을 출력하게 된다.

<67> 도 5는 상기 부호기 400과 부호기 405의 구조를 나타낸다. 도 5를 참조하여 각각의 정보량의 비에 따라서 설명한다.

<68> 먼저 정보량의 비가 1:9 의 경우를 경우를 살펴본다.

<69> 정보량의 비가 1:9인 경우에 부호기 400의 경우 (3,1)부호기로 동작하고, 부호기 405는 (27,9)부호기로 동작하게 된다. 따라서, 부호기 400의 동작과 부호기 405의 동작을 각각 살펴보면 다음과 같다.

<70> 먼저 상기 부호기 400의 동작을 살펴본다.

<71> 1비트의 입력비트가 부호기 400에 입력되면, 상기 입력비트는 a0로 하고, 나머지, a1,a2,a3,a4,a5,a6,a7,a8,a9은 0로 채운다. 그러면 상기, 입력비트 a0는 승산기 510으로, 입력비트 a1는 승산기 512으로, 입력비트 a2는 승산기 514으로, 입력비트 a3는 승산기 516으로, 입력비트 a4는 승산기 518으로, 입력비트 a5는 승산기 520으로, 입력비트 a6는 승산기 522으로, 입력비트 a7는 승산기 524으로,

입력비트 a8는 승산기 526으로, 입력비트 a9는 승산기 528으로 입력된다. 그러면, 이와 동시에 월시부호 생성기 500은 기저부호어 $W_1 = 101010101010110101010101010100$ 를 생성하여 승산기 510로 출력하면, 상기 승산기 510은 심볼단위로 상기 부호어와 입력비트 a0를 승산하여 배타적가산기 540으로 출력한다. 그리고, 상기 월시부호 생성기 500는 그외의 기저부호어 W_2, W_4, W_8, W_{16} 을 생성하여 각각 승산기 512, 514, 516, 518로 출력하고, a11 1 부호생성기 502는 전부 1인 기저 부호어를 생성하여 승산기 520로 출력하고, 마스크 생성기 504는 그 외의 기저부호어 M_1, M_2, M_4, M_8 을 생성하여 각각 승산기 522, 524, 526, 528로 출력하지만, 상기 승산기 512, 514, 516, 518, 520, 522, 524, 526, 528에 입력되어진 상기 입력비트 a1, a2, a3, a4, a5, a6, a7, a8, a9이 0이기 때문에, 상기 승산기들이 배타적 가산기 540에 출력하여도 영향을 주지 못한다. 즉, 상기 배타적 가산기 540이 승산기 510, 512, 514, 516, 518, 520, 522, 524, 526, 528으로 부터의 출력값들을 모두 배타적 가산하여 출력하여도, 상기 승산기 510으로 부터의 출력값이 그대로 출력된다. 그러면 상기 배타적 가산기 540으로부터 출력된 32개의 심볼은 천공기 560으로 입력된다. 그러면 이와 동시에 부호길이정보가 제어기 550에 입력되면 제어기 550은 부호길이에 해당하는 천공위치에 대한 제어신호를 천공기 560에 출력하고, 그러면, 상기 천공기 560은 상기 제어기 500에 성 출력된 제어신호에 따라 상기 입력된 0번째부터 31번째 까지의 총 32개의 부호심볼중, 1, 3, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17,

18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31번째 부호심볼을 천공하여 32부호심볼중 29심볼이 천공된 3개의 부호화 심볼을 출력한다.

<72> 두 번째로 부호기 405의 동작을 살펴본다.

<73> 9비트의 입력비트가 부호기 400에 입력되면, 상기 입력비트들은 각각 a0, a2, a3, a4, a5, a6, a7, a8로 하고, 나머지, a9은 0로 채운다. 그러면 상기, 입력비트 a0는 승산기 510으로, 입력비트 a1는 승산기 512으로, 입력비트 a2는 승산기 514으로, 입력비트 a3는 승산기 516으로, 입력비트 a4는 승산기 518으로, 입력비트 a5는 승산기 520으로, 입력비트 a6는 승산기 522으로, 입력비트 a7는 승산기 524으로, 입력비트 a8는 승산기 526으로, 입력비트 a9는 승산기 528으로 입력된다. 그러면, 이와 동시에 월시부호 생성기 500은 기저부호어 $W_1 =$

10101010101010110101010101010100를 생성하여 승산기 510로 출력하고, 기저부호어 $W2 = 01100110011001101100110011001100$ 를 생성하여 승산기 512로 출력하고, 기저부호어 $W4 = 00011110000111100011110000111100$ 를 생성하여 승산기 514로 출력하고, 기저부호어 $W8 = 00000001111111100000001111111100$ 를 생성하여 승산기 516로 출력하고, 기저부호어 $W16 = 000000000000000111111111111101$ 를 생성하여 승산기 518로 출력하면, 상기 승산기 510은 심볼단위로 상기 기저부호어 $W1$ 과 입력비트 $a0$ 를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 512은 심볼단위로 상기 기저부호어 $W2$ 과 입력비트 $a1$ 를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 514은 심볼단위로 상기 기저부호어 $W4$ 과 입력비트 $a2$ 를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 516은 심볼단위로 상기 기저부호어 $W8$ 과 입력비트 $a3$ 를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 518은 심볼단위로 상기 기저부호어 $W16$ 과 입력비트 $a4$ 를 승산하여 배타적가산기 540으로 출력한다. 또한, $a11\ 1$ 부호생성기 502는 전부 1인 길이 32인 기저 부호어를 생성하여 승산기 520로 출력하면, 상기 승산기 520은 심볼단위로 상기 기저부호어 $a11\ 1$ 부호어와 입력비트 $a5$ 를 승산하여 배타적가산기 540으로 출력한다. 또한, 마스크 생성기 540은 기저부호어 $M1 = 0101\ 0000\ 1100\ 0111\ 1100\ 0001\ 1101\ 1101$ 를 생성하여 승산기 522로 출력하고, 기저부호어 $M2 = 0000\ 0011\ 1001\ 1011\ 0111\ 0001\ 1100$ 를 생성하여 승산기 524로 출력하고, 기저부호어 $M4 = 0001\ 0101\ 1111\ 0010\ 0110\ 1100\ 1010\ 1100$ 를 생성하여 승산기 526로 출력하면, 상기 승산기 522은 심볼단위로 상기 기저부호어 $M1$ 과 입력비트 $a6$ 를 승산하여 배타적가산기 540으로 출력하고, 상

기 승산기 524은 심볼단위로 상기 기저부호어 M2과 입력비트 a7를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 526은 심볼단위로 상기 기저부호어 M4과 입력비트 a8를 승산하여 배타적가산기 540으로 출력한다. 그리고, 상기 마스크 생성기 504는 그 외의 기저부호어 M8을 생성하여 각각 승산기 528로 출력하지만, 상기 승산기 528에 입력되어진 상기 입력비트 a9이 0이기 때문에, 상기 승산기 528는 0를 출력하기 때문에 상기 승산기가 배타적 가산기 540에 출력하여도 영향을 주지 못한다. 즉, 상기 배타적 가산기 540이 승산기 528으로부터의 출력값들을 모두 배타적 가산하여 출력하여도, 상기 승산기 510, 512, 514, 516, 518, 520, 522, 524, 526으로부터의 출력값을 배타적가산한 결과만이 출력된다. 그러면, 상기 배타적 가산기 540으로부터 출력된 32개의 심볼은 천공기 560으로 입력된다. 그러면 이와 동시에 부호길이정보가 제어기 550에 입력되면 제어기 550은 부호길이에 해당하는 천공위치에 대한 제어신호를 천공기 560에 출력하고, 그러면, 상기 천공기 560은 상기 제어기 500에성 출력된 제어신호에 따라상기 입력된 0번째부터 31번째 까지의 총 32개의 부호심볼중, 0, 2, 8, 19, 20번째 부호심볼을 천공하여 32부호심볼중 5심볼이 천공된 27개의 부호화심볼을 출력한다.

<74> 두 번째로 정보량의 비가 2:8인 경우의 동작을 살펴본다.

<75> 정보량의 비가 2:8인 경우에 부호기 400의 경우 (6,2)부호기로 동작하고, 부호기 405는 (24,8)부호기로 동작하게 된다. 따라서, 부호기 400의 동작과 부호기 405의 동작을 각각 살펴보면 다음과 같다.

<76> 먼저 부호기 400의 동작을 살펴본다.

<77> 2비트의 입력비트가 부호기 400에 입력되면, 상기 입력비트는 a0,a1으로 하고, 나머지, a2, a3, a4, a5, a6, a7, a8, a9은 0로 채운다. 그러면 상기, 입력비트 a0는 승산기 510으로, 입력비트 a1는 승산기 512으로, 입력비트 a2는 승산기 514으로, 입력비트 a3는 승산기 516으로, 입력비트 a4는 승산기 518으로, 입력비트 a5는 승산기 520으로, 입력비트 a6는 승산기 522으로, 입력비트 a7는 승산기 524으로, 입력비트 a8는 승산기 526으로, 입력비트 a9는 승산기 528으로 입력된다. 그러면, 이와 동시에 월시부호 생성기 500은 기저부호어 $W1 = 1010101010101101010101010100$ 를 생성하여 승산기 510로 출력하면, 상기 승산기 510은 심볼단위로 상기 부호어와 입력비트 a0를 승산하여 배타적가산기 540으로 출력하고, 기저부호어 $W2 = 01100110011001101100110011001100$ 를 생성하여 승산기 512로 출력하면, 상기 승산기 512은 심볼단위로 상기 부호어와 입력비트 a1를 승산하여 배타적가산기 540으로 출력한다. 그리고, 상기 월시부호 생성기 500은 그외의 기저부호어 $W4, W8, W16$ 을 생성하여 각각 승산기 514, 516, 518로 출력하고, all 1 부호생성기 502는 전부 1인 기저 부호어를 생성하여 승산기 520로 출력하고, 마스크 생성기 504는 그 외의 기저부호어 $M1, M2, M4, M8$ 을 생성하여 각각 승산기 522, 524, 526, 528로 출력하지만, 상기 승산기 514, 516, 518, 520, 522, 524, 526, 528에 입력되어진 상기 입력비트 a2,a3,a4,a5,a6,a7,a8,a9이 0이기 때문에, 상기 승산기 514, 516, 518, 520, 522, 524, 526, 528는 0를 출력하기 때문에 상기 승산기들이 배타적 가산기 540에 출력하여도 영향을 주지 못한다. 즉, 상기 배타적 가산기 540이 승산기 510, 512, 514, 516, 518, 520, 522, 524, 526, 528으로 부터의 출력값들을 모두 배타적 가산하여 출력하여도,

상기 승산기510과 승산기512으로 부터의 출력값의 배타적가산값만이 출력된다. 그러면 상기 배타적 가산기 540으로부터 출력된 32개의 심볼은 천공기 560으로 입력된다. 그러면 이와 동시에 부호길이정보가 제어기 550에 입력되면 제어기 550은 부호길이에 해당하는 천공위치에 대한 제어신호를 천공기 560에 출력하고, 그러면, 상기 천공기 560은 상기 제어기 500에성 출력된 제어신호에 따라상기 입력된 0번째부터 31번째 까지의 총 32개의 부호심볼중, 3, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31 번째 부호심볼을 천공하여 32부호심볼중 26심볼이 천공된 6개의 부호화 심볼을 출력한다.

<78> 다음으로 부호기 405의 동작을 살펴본다.

<79> 8비트의 입력비트가 부호기 400에 입력되면, 상기 입력비트들은 각각 a0, a2, a3, a4, a5, a6, a7로 하고, 나머지, a8, a9은 0로 채운다. 그러면 상기, 입력비트 a0는 승산기 510으로, 입력비트 a1는 승산기 512으로, 입력비트 a2는 승산기 514으로, 입력비트 a3는 승산기 516으로, 입력비트 a4는 승산기 518으로, 입력비트 a5는 승산기 520으로, 입력비트 a6는 승산기 522으로, 입력비트 a7는 승산기 524으로, 입력비트 a8는 승산기 526으로, 입력비트 a9는 승산기 528으로 입력된다. 그러면, 이와 동시에 월시부호 생성기 500은 기저부호어W1 = 1010101010101011010101010101010100를 생성하여 승산기 510로 출력하고, 기저부호어W2 = 01100110011001101100110011001100를 생성하여 승산기 512로 출력하고, 기저부호어W4 = 00011110000111100011110000111100를 생성하여 승산기 514로

출력하고, 기저부호어W8 = 000000011111110000000111111100를 생성하여 승산기 516로 출력하고, 기저부호어W16 = 000000000000000111111111111101를 생성하여 승산기 518로 출력하면, 상기 승산기 510은 심볼단위로 상기 기저부호어 W1과 입력비트 a0를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 512은 심볼 단위로 상기 기저부호어 W2과 입력비트 a1를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 514은 심볼단위로 상기 기저부호어 W4과 입력비트 a2를 승 산하여 배타적가산기 540으로 출력하고, 상기 승산기 516은 심볼단위로 상기 기 저부호어 W8과 입력비트 a3를 승산하여 배타적가산기 540으로 출력하고, 상기 승 산기 518은 심볼단위로 상기 기저부호어 W16과 입력비트 a4를 승산하여 배타적가 산기 540으로 출력한다. 또한, a11 1 부호생성기 502는 전부 1인 길이 32인 기저 부호어를 생성하여 승산기 520로 출력하면, 상기 승산기 520은 심볼단위로 상기 기저부호어 a11 1 부호어와 입력비트 a5를 승산하여 배타적가산기 540으로 출력 한다. 또한, 마스크 생성기 540은 기저부호어M1 = 0101 0000 1100 0111 1100 0001 1101 1101를 생성하여 승산기 522로 출력하고, 기저부호어M2 = 0000 0011 1001 1011 1011 0111 0001 1100를 생성하여 승산기 524로 출력하면, 상기 승산기 522은 심볼단위로 상기 기저부호어 M1과 입력비트 a6를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 524은 심볼단위로 상기 기저부호어 M2과 입력비 트 a7를 승산하여 배타적가산기 540으로 출력한다. 그리고, 상기 마스크 생성기 504는 그 외의 기저부호어 M4, M8을 생성하여 각각 승산기 528로 출력하지만, 상기 승산기 526, 528에 각각 입력되어진 상기 입력비트 a8, a9이 0이기 때문에, 상기 승산기 526, 528는 0를 출력하기 때문

에 상기 승산기가 배타적 가산기 540에 출력하여도 영향을 주지 못한다. 즉, 상기 배타적 가산기 540이 승산기 526, 528으로부터의 출력값들을 모두 배타적 가산하여 출력하여도, 상기 승산기 510, 512, 514, 516, 518, 520, 522, 524으로 부터의 출력값을 배타적 가산한 결과만이 출력된다. 그러면, 상기 배타적 가산기 540으로부터 출력된 32개의 심볼은 천공기 560으로 입력된다. 그러면 이와 동시에 부호길이 정보가 제어기 550에 입력되면 제어기 550은 부호길이에 해당하는 천공위치에 대한 제어신호를 천공기 560에 출력하고, 그러면, 상기 천공기 560은 상기 제어기 500에 성 출력된 제어신호에 따라 상기 입력된 0번째부터 31번째 까지의 총 32개의 부호심볼 중, 1, 7, 13, 15, 20, 25, 30, 31번째 부호심볼을 천공하여 32부호심볼 중 8심볼이 천공된 24개의 부호화 심볼을 출력한다.

<80> 세 번째로 정보량의 비가 3:7의 경우의 동작을 살펴본다.

<81> 정보량의 비가 3:7인 경우에 부호기 400의 경우 (9,3)부호기로 동작하고, 부호기 405는 (21,7)부호기로 동작하게 된다. 따라서, 부호기 400의 동작과 부호기 405의 동작을 각각 살펴보면 다음과 같다.

<82> 먼저 부호기 400의 동작을 살펴본다.

<83> 3비트의 입력비트가 부호기 400에 입력되면, 상기 입력비트는 a_0, a_1, a_2 으로 하고, 나머지, $a_3, a_4, a_5, a_6, a_7, a_8, a_9$ 은 0로 채운다. 그러면 상기, 입력비트 a_0 는 승산기 510으로, 입력비트 a_1 는 승산기 512으로, 입력비트 a_2 는 승산기 514으로, 입력비트 a_3 는 승산기 516으로, 입력비트 a_4 는 승산기 518으로, 입력비트 a_5 는 승산기 520으로, 입력비트 a_6 는 승산기 522으로, 입력비트 a_7 는 승산기 524으로,

입력비트 a8는 승산기 526으로, 입력비트 a9는 승산기 528으로 입력된다. 그러면, 이와 동시에 월시부호 생성기 500은 기저부호어 $W1 = 1010101010101101010101010100$ 를 생성하여 승산기 510로 출력하면, 상기 승산기 510은 심볼단위로 상기 부호어와 입력비트 a0를 승산하여 배타적가산기 540으로 출력하고, 기저부호어 $W2 = 01100110011001101100110011001100$ 를 생성하여 승산기 512로 출력하면, 상기 승산기 512은 심볼단위로 상기 부호어와 입력비트 a1를 승산하여 배타적가산기 540으로 출력하고, 기저부호어 $W4 = 0001110000111100011110000111100$ 를 생성하여 승산기 514로 출력하면, 상기 승산기 514은 심볼단위로 상기 부호어와 입력비트 a2를 승산하여 배타적가산기 540으로 출력한다. 그리고, 상기 월시부호 생성기 500는 그외의 기저부호어 $W8, W16$ 을 생성하여 각각 승산기 516, 518로 출력하고, a11 1 부호생성기 502는 전부 1인 기저 부호어를 생성하여 승산기 520로 출력하고, 마스크 생성기 504는 그외의 기저부호어 $M1, M2, M4, M8$ 을 생성하여 각각 승산기 522, 524, 526, 528로 출력하지만, 상기 승산기 516, 518, 520, 522, 524, 526, 528에 입력되어진 상기 입력비트 a2, a3, a4, a5, a6, a7, a8, a9이 0이기 때문에, 상기 승산기들이 배타적 가산기 540에 출력하여도 영향을 주지 못한다. 즉, 상기 배타적 가산기 540이 승산기 510, 512, 514, 516, 518, 520, 522, 524, 526, 528으로 부터의 출력값들을 모두 배타적 가산하여 출력하여도, 상기 승산기 510, 승산기 512과 승산기 514으로 부터의 출력값의 배타적 가산값만이 출력된다. 그러면 상기 배타적 가산기 540으로부터 출력된 32개의 심볼은 천공기 560으로 입력된다. 그러면 이와 동시에 부호길이정보가 제어기 550

에 입력되면 제어기 550은 부호길이에 해당하는 천공위치에 대한 제어신호를 천공기 560에 출력하고, 그러면, 상기 천공기 560은 상기 제어기 500에 상기 출력된 제어신호에 따라 상기 입력된 0번째부터 31번째 까지의 총 32개의 부호심볼중, 7, 8, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31번째 부호심볼을 천공하여 32부호심볼중 23심볼이 천공된 9개의 부호화 심볼을 출력한다.

<84> 다음으로 부호기 405의 동작을 살펴본다.

<85> 7비트의 입력비트가 부호기 400에 입력되면, 상기 입력비트들은 각각 a0, a2, a3, a4, a5, a6로 하고, 나머지, a7, a8, a9은 0로 채운다. 그러면 상기, 입력비트 a0는 승산기 510으로, 입력비트 a1는 승산기 512으로, 입력비트 a2는 승산기 514으로, 입력비트 a3는 승산기 516으로, 입력비트 a4는 승산기 518으로, 입력비트 a5는 승산기 520으로, 입력비트 a6는 승산기 522으로, 입력비트 a7는 승산기 524으로, 입력비트 a8는 승산기 526으로, 입력비트 a9는 승산기 528으로 입력된다. 그러면, 이와 동시에 월시부호 생성기 500은 기저부호어W1 = 101010101010110101010101010100를 생성하여 승산기 510로 출력하고, 기저부호어W2 = 01100110011001101100110011001100를 생성하여 승산기 512로 출력하고, 기저부호어W4 = 00011110000111100011110000111100를 생성하여 승산기 514로 출력하고, 기저부호어W8 = 0000000111111110000000111111111111100를 생성하여 승산기 516로 출력하고, 기저부호어W16 = 0000000000000001111111111111101를 생성하여 승산기 518로 출력하면, 상기 승산기 510은 심볼단위로 상기 기저부호어 W1과 입력

비트 a0를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 512은 심볼단위로 상기 기저부호어 W2과 입력비트 a1를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 514은 심볼단위로 상기 기저부호어 W4과 입력비트 a2를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 516은 심볼단위로 상기 기저부호어 W8과 입력비트 a3를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 518은 심볼단위로 상기 기저부호어 W16과 입력비트 a4를 승산하여 배타적가산기 540으로 출력한다. 또한, a11 1 부호생성기 502는 전부 1인 길이 32인 기저부호어를 생성하여 승산기 520로 출력하면, 상기 승산기 520은 심볼단위로 상기 기저부호어 a11 1 부호어와 입력비트 a5를 승산하여 배타적가산기 540으로 출력한다. 또한, 마스크 생성기 540은 기저부호어 $M1 = 0101\ 0000\ 1100\ 0111\ 1100\ 0001\ 1101\ 1101$ 를 생성하여 승산기 522로 출력하면, 상기 승산기 522은 심볼단위로 상기 기저부호어 M1과 입력비트 a6를 승산하여 배타적가산기 540으로 출력한다. 그리고, 상기 마스크 생성기 504는 그 외의 기저부호어 M2, M4, M8을 생성하여 각각 승산기 524, 526, 528로 출력하지만, 상기 승산기 524, 526, 528에 각각 입력되어진 상기 입력비트 a7, a8, a9이 0이기 때문에, 상기 승산기 524, 526, 528는 0를 출력하기 때문에 상기 승산기가 배타적 가산기 540에 출력하여도 영향을 주지 못한다. 즉, 상기 배타적 가산기 540이 승산기 510, 512, 514, 516, 518, 520, 522, 524, 526, 528으로부터의 출력값들을 모두 배타적 가산하여 출력하여도, 상기 승산기 510, 512, 514, 516, 518, 520, 522으로부터의 출력값을 배타적가산한 결과만이 출력된다. 그러면, 상기 배타적 가산기 540으로부터 출력된 32개의 심볼은 천공기 560으로 입력된다. 그

러면 이와 동시에 부호길이정보가 제어기 550에 입력되면 제어기 550은 부호길이에 해당하는 천공위치에 대한 제어신호를 천공기 560에 출력하고, 그러면, 상기 천공기 560은 상기 제어기 500에 성 출력된 제어신호에 따라상기 입력된 0번째부터 31번째 까지의 총 32개의 부호심볼중, 0, 1, 2, 3, 4, 5, 7, 12, 18, 21, 24 번째 부호심볼을 천공하여 32부호심볼중 11심볼이 천공된 21개의 부호화 심볼을 출력한다.

<86> 네 번째로 정보량의 비가 4:6 의 경우의 동작을 살펴본다.

<87> 정보량의 비가 4:6인 경우에 부호기 400의 경우 (12,3)부호기로 동작하고, 부호기 405는 (18,6)부호기로 동작하게 된다. 따라서, 부호기 400의 동작과 부호기 405의 동작을 각각 살펴보면 다음과 같다.

<88> 먼저 부호기 400의 동작을 살펴본다.

<89> 4비트의 입력비트가 부호기 400에 입력되면, 상기 입력비트는 a_0, a_1, a_2, a_3 으로 하고, 나머지 $a_4, a_5, a_6, a_7, a_8, a_9$ 은 0로 채운다. 그러면 상기, 입력비트 a_0 는 승산기 510으로, 입력비트 a_1 는 승산기 512으로, 입력비트 a_2 는 승산기 514으로, 입력비트 a_3 는 승산기 516으로, 입력비트 a_4 는 승산기 518으로, 입력비트 a_5 는 승산기 520으로, 입력비트 a_6 는 승산기 522으로, 입력비트 a_7 는 승산기 524으로, 입력비트 a_8 는 승산기 526으로, 입력비트 a_9 는 승산기 528으로 입력된다. 그러면, 이와 동시에 월시부호 생성기 500은 기저부호어 $W_1 =$

1010101010101011010101010101010100를 생성하여 승산기 510로 출력하면, 상기 승산기 510은 심볼단위로 상기 부호어와 입력비트 a_0 를 승산하여 배타적가산기 540으로 출력하고, 기저부호어 $W_2 = 01100110011001101100110011001100$ 를 생성하여

승산기 512로 출력하면, 상기 승산기 512은 심볼단위로 상기 부호어와 입력비트 a1를 승산하여 배타적가산기 540으로 출력하고, 기저부호어 W4 = 00011110000111100011110000111100를 생성하여 승산기 514로 출력하면, 상기 승산기 514은 심볼단위로 상기 부호어와 입력비트 a2를 승산하여 배타적가산기 540으로 출력하고, 기저부호어 W8 = 0000000111111110000000 1111111100를 생성하여 승산기 516로 출력하면, 상기 승산기 514은 심볼단위로 상기 부호어와 입력비트 a3를 승산하여 배타적가산기 540으로 출력한다. 그리고, 상기 월시부호 생성기 500는 그외의 기저부호어 W16을 생성하여 각각 승산기 518로 출력하고, a11 1 부호생성기 502는 전부 1인 기저 부호어를 생성하여 승산기 520로 출력하고, 마스크 생성기 504는 그 외의 기저부호어 M1, M2, M4, M8을 생성하여 각각 승산기 522, 524, 526, 528로 출력하지만, 상기 승산기 518, 520, 522, 524, 526, 528에 입력되어진 상기 입력비트 a4,a5,a6,a7,a8,a9이 0이기 때문에, 상기 승산기들이 배타적 가산기 540에 출력하여도 영향을 주지 못한다. 즉, 상기 배타적 가산기 540이 승산기 510, 512, 514, 516, 518, 520, 522, 524, 526, 528으로 부터의 출력값들을 모두 배타적 가산하여 출력하여도, 상기 승산기 510, 승산기 512, 승산기 514과 승산기 516으로 부터의 출력값의 배타적가산값만이 출력된다. 그러면 상기 배타적 가산기 540으로부터 출력된 32개의 심볼은 천공기 560으로 입력된다. 그러면 이와 동시에 부호길이정보가 제어기 550에 입력되면 제어기 550은 부호길이에 해당하는 천공위치에 대한 제어신호를 천공기 560에 출력하고, 그러면, 상기 천공기 560은 상기 제어기 500에 상기 출력된 제어신호에 따라 상기 입력된 0번째부터 31번째 까지의 총 32개의 부

호심볼중, 0, 1, 2, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31번째 부호심볼을 천공하여 32부호심볼중 20심볼이 천공된 12개의 부호화 심볼을 출력한다.

<90> 다음으로 부호기 405의 동작을 살펴본다.

<91> 6비트의 입력비트가 부호기 400에 입력되면, 상기 입력비트들은 각각 a0, a1, a2, a3, a4, a5로 하고, 나머지 a6, a7, a8, a9은 0로 채운다. 그러면 상기, 입력비트 a0는 승산기 510으로, 입력비트 a1는 승산기 512으로, 입력비트 a2는 승산기 514으로, 입력비트 a3는 승산기 516으로, 입력비트 a4는 승산기 518으로, 입력비트 a5는 승산기 520으로, 입력비트 a6는 승산기 522으로, 입력비트 a7는 승산기 524으로, 입력비트 a8는 승산기 526으로, 입력비트 a9는 승산기 528으로 입력된다. 그러면, 이와 동시에 월시부호 생성기 500은 기저부호어 $W1 = 101010101010110101010101010100$ 를 생성하여 승산기 510로 출력하고, 기저부호어 $W2 = 01100110011001101100110011001100$ 를 생성하여 승산기 512로 출력하고, 기저부호어 $W4 = 00011110000111100011110000111100$ 를 생성하여 승산기 514로 출력하고, 기저부호어 $W8 = 0000000111111100000001111111100$ 를 생성하여 승산기 516로 출력하고, 기저부호어 $W16 = 00000000000000011111111111101$ 를 생성하여 승산기 518로 출력하면, 상기 승산기 510은 심볼단위로 상기 기저부호어 $W1$ 과 입력비트 a0를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 512은 심볼단위로 상기 기저부호어 $W2$ 과 입력비트 a1를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 514은 심볼단위로 상기 기저부호어 $W4$ 과 입력비트 a2를 승산하여 배타

적가산기 540으로 출력하고, 상기 승산기 516은 심볼단위로 상기 기저부호어 W8과 입력비트 a3를 승산하여 배타적가산기 540으로 출력하고, 상기 승산기 518은 심볼단위로 상기 기저부호어 W16과 입력비트 a4를 승산하여 배타적가산기 540으로 출력한다. 또한, a11 1 부호생성기 502는 전부 1인 길이 32인 기저 부호어를 생성하여 승산기 520로 출력하면, 상기 승산기 520은 심볼단위로 상기 기저부호어 a11 1 부호어와 입력비트 a5를 승산하여 배타적가산기 540으로 출력한다. 그리고, 상기 마스크 생성기 504는 기저부호어 M1, M2, M4, M8을 생성하여 각각 승산기 522, 524, 526, 528로 출력하지만, 상기 승산기 522, 524, 526, 528에 각각 입력되어진 상기 입력비트 a6, a7, a8, a9이 0이기 때문에, 상기 승산기 522, 524, 526, 528는 0를 출력하기 때문에 상기 승산기가 배타적 가산기 540에 출력하여도 영향을 주지 못한다. 즉, 상기 배타적 가산기 540이 승산기 510, 512, 514, 516, 518, 520, 522, 524, 526, 528으로부터의 출력값들을 모두 배타적 가산하여 출력하여도, 상기 승산기 510, 512, 514, 516, 518, 520, 522으로부터의 출력값을 배타적가산한 결과만이 출력된다. 그러면, 상기 배타적 가산기 540으로부터 출력된 32개의 심볼은 천공기 560으로 입력된다. 그러면 이와 동시에 부호길이정보가 제어기 550에 입력되면 제어기 550은 부호길이에 해당하는 천공위치에 대한 제어신호를 천공기 560에 출력하고, 그러면, 상기 천공기 560은 상기 제어기 500에 상기 출력된 제어신호에 따라상기 입력된 0번째부터 31번째 까지의 총 32개의 부호심볼중, 0, 7, 9, 11, 16, 19, 24, 25, 26, 27, 28, 29, 30, 31번째 부호심볼을 천공하여 32부호심볼중 14심볼이 천공된 18개의 부호화 심볼을 출력한다.

<92> 상기한 바와 같이 정보량의 비가 각각 9:1, 8:2, 7:3, 또는 6:4인 경우에는 위의 설명에 의하여 각각 부호기 400과 405의 동작이 이해될 수 있을 것이다.

<93> 상기와 같은 동작 후 부호기 400과 405로부터 출력되어지는 부호화 심볼들은 각각 멀티플렉서 410에 인가되어 시간적으로 멀티플렉싱되어지면, 30심볼의 멀티플렉싱된 신호들이 출력되어진다.

<94> 다음은 DSCH 와 DCH를 위한 코딩을 각각 실시한 후 멀티플렉서 410에서 멀티플렉싱 하는 방법에 대하여 설명한다. 상기 멀티플렉서410은 상기 부호기 400 과 405에서 출력되는 부호화 심볼을 가능한 균일하게 분포되도록 멀티플렉싱하여 30 비트를 배열한다.

<95> DCH와 DSCH를 위한 TFCI 비트를 각각 m 비트와 n 비트를 사용한 것으로 가정한다.

<96> 이때 m 과 n 이 가질 수 있는 값은 $(m,n)=1:9$ 또는 $2:8$ 또는 $3:7$ 또는 $4:6$ 또는 $5:5$ 또는 $6:4$ 또는 $7:3$ 또는 $8:2$ 또는 $9:1$ 이다.

<97> 우선 m 값이 n 값보다 큰 경우를 고려한다.

<98> n 값이 m 값보다 큰 경우에도 n 과 m 값을 교환하여 하기 방법을 이용하면 DCH 와 DSCH의 배열을 얻을 수 있다.

<99> 상기 서술된 코딩 방법에 의하면 DCH와 DSCH를 위한 TFCI 비트가 각각 m 비트와 n 비트인 경우 코딩 후에 생성된 비트 수는 각각 $m*3$ 비트와 $n*3$ 비트이다.

<100> 따라서 생성된 부호화 심볼을 전송하기 위한 위치를 선정하기 위하여 우선 DPCCH로 전송될 30비트를 10비트씩 나눈 후 각각의 10비트에 DCH를 위한 $m*3$ 비트를 3등분한 m 비트와 DSCH를 위한 $n*3$ 비트를 3등분한 n 비트를 배열한다.

<101> 다음은 주어진 10비트에 DCH를 위한 m 비트와 DSCH를 위한 n 비트를 배열하는 방법에 관한 실시예이다.

<102> L 을 10비트 중 L 번째 비트를 나타내도록 하자.

<103> 다음을 정의하자.

<104> **【수학식 1】** $F(k) = \lfloor \frac{m}{n} * k \rfloor \quad k=0, 1, 2, \dots, n$

<105> **【수학식 2】** $G(k) = \lfloor \frac{F(k)-F(k-1)}{2} \rfloor \quad k=0, 1, 2, 3, \dots, n$

<106> 상기 <수학식 1> 및 <수학식 2>에서 $\lfloor X \rfloor$ 는 x 보다 작거나 같은 정수 중 가장 큰 값을 나타내고 $\lfloor X \rfloor$ 는 x 보다 크거나 같은 정수 중 가장 작은 값을 나타낸다.

<107> 상기 수식 2에서 $F(-1)$ 은 0으로 정의한다. 즉

<108> $F(-1)=0$

<109> 상기 수식을 이용하여 DCH를 위한 m 비트와 DSCH를 위한 n 비트를 배열하는 방법을 서술 하면 다음의 <수학식 3>과 같다. 10개의 L 값을 중 n 개의 다음의 L 값들에는 DSCH를 위한 비트를 순서대로 배열 한다.

<110> **【수학식 3】** $L = F(l-1) + G(l) + 1$

<111> 상기 수식에서 1 값은 다음의 범위를 갖는다. $1 \leq l \leq n$

<112> 10개의 L 값을 중 상기 식 3에 주어진 값들 이외의 L 값들에는 DCH를 위한 m 개의 비트를 나열하면 된다. 즉 하기 <수학식 4>와 같이 표시할 수 있다.

<113> 【수학식 4】 $F(1-2) + G(1-1) + 1 = L \leq F(1-1) + G(1) + 1-1$

<114> 각각의 경우 즉 $m:n$ 이 9:1, 8:2, 7:3, 6:4, 5:5 인 경우 $F(k)$ 및 $G(k)$ 를 나타내면 다음의 <표 4>와 같다.

<115> 【표 4】

m:n	F(k)	F(1)	F(2)	F(3)	F(4)	F(5)
	G(k)	G(1)	G(2)	G(3)	G(4)	G(5)
	DSCH의 위치					
5:5	1	2	3	4	5	
	1	1	1	1	1	
	2	4	6	8	10	
6:4	1	3	4	6		
	1	1	1	1		
	2	4	7	9		
7:3	2	4	7			
	1	1	1			
	2	5	8			
8:2	4	8				
	2	2				
	3	8				
9:1	9					
	4					
	5					

<116> 도 9는 $m:n=6:4$ 인 경우에 DCH를 위한 TFCI 비트와 DSCH를 위한 TFCI 비트를 DPCCH 30비트에 대응시키는 관계를 설명하는 도면이다. 상기 <표 4>에서와 같

이 $m:n=6:4$ 인 경우 DSCH의 위치는 L 값이 2, 4, 7, 9인 경우에 위치한다.

<117> 그러면, 상기 멀티플렉싱되어진 신호들은 다시 멀티플렉서 420에 인가되어 전력제어비트(TPC), 파일럿비트와 같은 기타신호와 시간적으로 멀티플렉싱되져 출력되어진다. 상기와 같은 멀티플렉싱은 도 8에 나타나 있는 바와 같이 시간적 혼합이 일어난다. 그러면, 상기 출력되어진 멀티플렉싱된 심볼들은 확산기 430으로 입력되면 이와 동시에, 확산부호가 확산부호 생성기 435로부터 확산부호가 입력되어지고, 채널구분을 위해 심볼단위로 확산부호로 채널확산되어져 칩단위로 출력되어진다. 그러면, 상기 채널확산되어진 신호들은 다시 스크램블러 440에 입력이 되고, 이와 동시에 스크램블링 부호발생기 445로부터 스크램블링 부호가 입력되어져 상기 입력된 신호를 상기 입력되어진 스크램블링 부호로 스크램블링하여 출력되어진다.

<118> 도 6은 상기 실시예에 따른 수신기의 구조를 도시한다.

<119> 도 6을 참조하여 설명하면, 먼저, 수신신호가 디스크램블러 640에 입력된다. 그러면, 이와 동시에 스크램블링 부호발생기 645로부터 스크램블링 부호가 입력되어져 상기 입력된 수신신호를 상기 입력되어진 스크램블링 부호로 디스크램블링하여 출력한다. 그러면, 상기 출력되어진 디스크램블링되어진 심볼들은 역확산기 630으로 입력되면 이와 동시에, 확산부호가 확산부호 생성기 635로부터 확산부호가 입력되어지고, 역확산되어져 심볼단위로 출력되어진다.

<120> 그러면, 상기 역확산되어진 수신신호는 디멀티플렉서 620에 입력되어져 디

멀

티플렉싱되어져, 전력제어비트(TPC), 파일럿비트, 피드백 신호와 같은 기타신호와 TFCI를 분리하여 출력되면 상기 분리되어진 TFCI 부호화 심볼들은 다시 디멀티플렉서 610에 입력되어진다. 이와 동시에 상기 DSCH용 TFCI비트와 DCH용 TFCI 비트의 정보량비율에 따른 부호길이에 대한 제어정보가 디멀티플렉서 610에 입력되어져 상기 비율에 따라 DSCH용 TFCI부호심볼과 DCH용 TFCI부호심볼로 분리되어져 각각의 복호기600과 복호기 605로 입력되어진다. 그러면, 동시에 상기 DSCH용 TFCI비트와 DCH용 TFCI비트의 정보량비율에 따른 부호길이에 대한 제어정보가 각각의 복호기600과 복호기 605로 입력되어져 각각에 해당하는 부호에 따른 복호과정을 거친후 각각 DSCH용 TFCI비트와 DCH용 TFCI비트를 출력한다.

<121> 도 7은 상기 도 6의 복호기 600과 복호기 605의 구조를 나타낸다.

<122> 도 7을 참조하여 설명하면, 상기 수신 심볼이 복호기에 입력되어지면, 상기 수신심볼은 0삽입기 700에 입력되어지고, 이와 동시에 부호 길이정보가 제어기 730에 입력되어진다. 상기 제어기 730는 상기 수신 심볼의 부호길이에 따른 천공 위치를 저장하고 있다가 이에 대한 제어정보를 0삽입기 700에 출력하는데, 부호율이 (3,1)이면, 29개의 천공위치에 대한 정보를, 부호율이 (6,2)이면, 26개의 천공위치에 대한 정보를, 부호율이 (9,3)이면, 23개의 천공위치에 대한 정보를, 부호율이 (12,4)이면, 20개의 천공위치에 대한 정보를, 부호율이 (18,6)이면, 14개의 천공위치에 대한 정보를, 부호율이 (21,7)이면, 11개의 천공위치에 대한 정보를, 부호율이 (24,8)이면, 8개의 천공위치에 대한 정보를, 부호율이 (27,9)이면, 5개의 천공위치에 대한 정보를 출력한다. 각각의 경우에 대하여 천공위치는 상기 부호기 설명

에서 제시한 바와 같다. 그러면 상기, 0삽입기 700은 상기 천공위치에 대한 제어 정보에 따라서 천공위치에 0를 삽입하여 길이 32인 심볼열을 출력한다. 그러면, 상기 심볼열은 역하다마드 변환기 720과 승산기 702, 704, 706에 각각 입력되어 진다. 상기 승산기 720, 704, 706으로 입력되어진 신호들은 마스크 생성기 710으로부터 생성되어진 모든 경우의 마스크 함수들이 출력되어져 각각 승산되어진 후 출력되어지는데, 상기 출력되어진 심볼들은 스위치 752, 754, 756으로 각각 입력되어진다. 그러면 이와 동시에, 상기 제어기 730는 상기 입력되어진 부호길이 정보에 따른 마스크함수의 사용여부에 대한 제어정보를 스위치 752, 754, 756으로 각각 출력하는데, (3,1), (6,2), (9,3), (12,4), (18,6)부호기는 마스크 함수를 사용하지 않기 때문에, 상기 제어정보에 따라 스위치 752, 754, 756은 전부 연결을 끊게 된다. 그리고, (21,7)부호기의 경우는 기저 마스크 함수를 1개만 쓰기 때문에, 스위치 752만 연결이 되고, 상기와 같이 부호율에 따라 사용되어지는 마스크 함수 개수에 따라서 스위치가 제어를 한다. 그러면, 상기 역하다마드 변환기 720, 724, 726은 상기 각각 입력된 32개의 심볼을 역하다마드 변환하여, 상기 입력신호에 승산되어진 마스크 함수의 색인을 나타내는 0 (상기 역하다마드 변환기 720으로 입력되어진 신호는 어떤 마스크 함수도 승산되어지지 않았기 때문에)과 길이 월시부호와의 상관도 중 가장 높은 상관도를 가지는 월시부호의 색인과 상기 상관도를 계산하여 상관도 비교기 740에 입력한다. 그러면 상기 740은 상기 입력된 상관도들을 비교하여 가장 높은 상관도를 가지는 것에 대한 마스크 색인과 월시부호 색인을 결합하여 출력한다.

<123> 본 발명의 제4 및 제5 목적을 달성하기 위한 방법을 도 10, 11, 12, 13을 설명한다.

<124> 도10는 상기 Logical split 방법을 위한 기지국간의 신호메시지 및 데이터 전송을 나타내는 도면이다.

<125> 상기 도 10의 단계 301에서 SRNC의 RLC는 SRNC의 Mac-d에 전송할 DSCH data를 전송한다.

<126> 상기 도 10의 단계 302에서 SRNC의 Mac-d는 DRNC의 Mac-c에 RLC로부터 수신한 DSCH data를 전송한다. 이 때 전송되는 data는 Iur상의 Frame protocol을 이용하여 전송된다.

<127> 상기 도 10의 단계 303에서는 DRNC의 Mac-c는 단계 302에서 SRNC의 Mac-d에서 수신한 DSCH data에 대하여 전송시간을 결정한 후 (scheduling) 해당 TFCI를 SRNC의 Mac-d로 전송한다.

<128> 상기 도 10의 단계 304에서 DRNC의 Mac-c는 Node B의 L1로 DSCH 데이터를 전송한다. 이 때 전송되는 DSCH 데이터는 단계 303에서 미리 결정된 (scheduled) 시간에 전송된다.

<129> 상기 도 10의 단계 305에서 SRNC의 Mac-d는 Node B의 L1으로 DSCH를 위한 TFCI와 전송시간을 함께 전송한다. 이 때 전송되는 data는 control frame을 이용하여 전송된다.

<130> 상기 도 10의 단계 306에서 SRNC의 Mac-d는 Node B의 L1으로 전송될 DCH의 data와 DCH를 위한 TFCI를 결정하여 전송한다.

<131> 상기 도 10의 단계 304에서 전송되는 DSCH data와 단계 305에서 전송되는 TFCI는 상기 단계 303에서 결정된 시간과 관계를 갖는다. 즉 단계 305에서 전송되는 TFCI는 단계 304에서 전송되는 DSCH 데이터가 PDSCH로 전송되기 직전 Frame에 DPCCH로 UE에게 전송되어 진다.

<132> 상기 도 10의 단계 304와 단계 305와 단계 306에서 전송되는 데이터 및 TFCI는 Frame protocol을 이용하여 전송된다. 특히 단계 306에서 전송되는 TFCI는 Control frame을 통하여 전송된다.

<133> 상기 도 10의 단계 307에서 Node B의 L1은 UE의 L1으로 DSCH data를 PDSCH로 전송한다.

<134> 상기 도 10의 단계 308에서 Node B의 L1은 UE의 L1으로 DPCH를 이용하여 TFCI를 전송한다. 이때 상기 단계 305과 단계 306에서 수신한 각각의 TFCI 또는 TFI를 이용하여 하나의 TFCI를 생성하여 DPCCH를 이용하여 전송한다.

<135> 도 11은 SRNC의 동작과정을 나타내는 도면이다.

<136> 상기 도 11의 단계 401에서 SRNC는 전송할 DSCH data를 준비한다.

<137> 상기 도 11의 단계 402에서 SRNC는 준비된 DSCH data를 DRNC로 전송한다.

<138> 상기 도 11의 단계 403에서 SRNC는 DRNC로부터 상기 단계 402에서 전송한 DSCH data에 대한 Scheduling 정보를 수신한다. 이 때 수신되는 정보는 Control Frame을 이용하여 전송될 수 있으며 정보의 내용으로는 전송시간과 TFCI에 관한 정보가 될 수 있다.

<139> 도 13은 이 때 DRNC로부터 SRNC로 전송되는 정보를 담고 있는 Control Frame의 구조의 한 예를 보여 주는 도면이다.

<140> 상기 도 13에서 CFN은 Connection Frame Number로써 전송될 Frame의 번호를 나타 내며 이것은 DSCH가 전송될 시간에 대한 정보이다. 상기 도 8에서 TFCI(field 2)는 전송될 DSCH에 대한 TFCI 정보이다.

<141> 상기 도 11의 단계 404에서 SRNC는 Node B로 해당 DSCH에 대한 전송시간과 TFCI 정보를 담은 Control Frame을 전송한다. 이 때 Control Frame은 해당 전송 시간 전에 Node B에 도착해야 한다.

<142> 도 12은 DRNC의 동작과정을 나타내는 도면이다.

<143> 상기 도 12의 단계 501에서 DRNC는 SRNC로부터 DSCH data를 수신한다.

<144> 상기 도 12의 단계 502에서 DRNC는 상기 단계 501에서 수신한 DSCH data를 전송한 Scheduling을 실시한다. DRNC는 여러 RNC로부터 수신한 DSCH와 DRNC 자체에서 생성된 DSCH들을 전송할 시간들을 결정하고 또한 전송시 사용할 Channel등을 고려한 TFI 또는 TFCI를 결정한다.

<145> 상기 도 12의 단계 503에서 DRNC는 상기 단계 502에서 결정된 시간정보와 TFCI 정보를 control frame을 이용하여 SRNC에 전송한다. 이 때 전송되는 Control frame의 구조는 상기 도 8에 나타나 있다.

<146> 상기 도 12의 단계 504에서 DRNC는 상기 단계 502에서 결정된 시간에 Node B에서 전송될 수 있도록 DSCH data를 Node B에 전송한다.

【발명의 효과】

<147> 상술한 바와 같이 본 발명의 실시예에서는 TFCI를 부호화 및 복호화할 때, 하나의 코더/디코더 구조를 이용하여 다양한 종류의 TFCI 비트들을 부호화/복호화할 수 있다. 또한 서로 다른 코딩 방법을 사용하여 부호화된 복수의 TFCI 심볼들을 전송할 때, 상기 TFCI 심볼들이 균일하게 분포되어 전송될 수 있도록 다중화할 수 있다. 여기서 TFCI 코딩은 10비트인 경우, DSCH 및 DCH 채널들의 데이터 전송량에 따라 1:9, 2:8, 3:7, 4:6, 5:5, 6:4, 7:3, 8:2 또는 9:1 중의 어느 하나를 선택하여 사용할 수 있다. 또한 본 발명의 실시예에 따르면 로지컬 스플리트 방법의 경우 SRNC와 DRNC가 분리되어 있으면 스케줄링 정보를 Mac-c에서 Mac-d로 전송할 수 있으며, 또한 DSCH의 두 개의 TFCI 송신 방법인 하드 스플리트 방법과 로지컬 스플리트 방법을 구분하려 사용할 수 있도록 신호 메시지를 전송할 수도 있다.

【특허청구범위】**【청구항 1】**

비동기 이동통신 시스템의 TFCI비트를 부호화하는 장치에 있어서,

정보량의 비에 따라 가변되는 상기 TFCI비트들을 생성하는 TFCI비트 발생

기와,

상기 정보량의 비에 따라 부호어의 길이를 설정하는 부호길이정보를 부호길
이정보 발생기와,

상기 TFCI비트들을 입력하며, 상기 입력된 TFCI비트들을 설정된 부호화율에
따라 부호화하여 TFCI심볼들을 발생하고, 상기 TFCI심볼들을 상기 부호길이정보
에 따라 최적화된 TFCI심볼들을 출력하는 부호기로 구성된 것을 특징으로 하는
TFCI 부호화장치.

【청구항 2】

비동기 이동통신 시스템의 TFCI비트를 부호화하는 장치에 있어서,

정보량의 비에 따라 가변되는 상기 TFCI비트들을 생성하는 TFCI비트 발생

기와,

상기 정보량의 비에 따라 길이 부호어의 길이를 설정하는 부호길이 정보를
발생하는 부호길이정보 발생기와,

제 1-제5기저 월시부호어들을 각각 발생하는 월시부호 발생기와,

all 1 시퀀스를 발생하는 시퀀스 발생기와,

제 1-제4기저 마스크들을 각각 발생하는 마스크발생기와,
상기 TFCI비트들과 상기 제1-제5기저 월시부호어; all 1 시퀀스 및 제1-제4
기저마스크들을 각각 곱하는 제1-제10곱셈기와,
상기 제1-제10곱셈기의 출력을 가산하는 가산기와,
상기 부호길이정보에 따라 상기 가산기에서 출력되는 부호어를 천공하는 천
공기로 구성된 것을 특징으로 하는 TFCI 부호화장치.

【청구항 3】

비동기 이동통신 시스템의 제1채널과 제2채널의 정보량의 비에 따라 각각
대응되는 TFCI비트를 부호화하여 전송하는 장치에 있어서,
상기 제1채널의 정보량에 따른 m비트의 TFCI비트들을 생성하는 제1TFCI비
트 발생기와,
상기 제2채널의 정보량에 따른 n비트의 TFCI비트들을 생성하는 제2TFCI비트
발생기와,
상기 제1TFCI비트들을 설정된 부호화율에 따라 부호화하며, 상기 부호화된
제1TFCI 심볼들을 상기 제1채널의 부호길이 정보에 따라 천공하는 제1부호기와,
상기 제2TFCI 비트들을 설정된 부호화율에 따라 부호화하며, 상기 부호화된
제2TFCI 심볼을 상기 제2채널의 부호길이 정보에 따라 천공하는 제2부호기와,

상기 제1부호기 및 제2부호기에서 출력되는 심볼들을 균일하게 분포되도록
다중화하는 멀티플렉서로 구성된 것을 특징으로 하는 TFCI 전송장치.

【청구항 4】

제3항에 있어서, 상기 제1TFCI가 DSCH 채널의 TFCI이며, 상기 제2TFCI가
DCH 채널의 TFCI인 것을 특징으로 하는 TFCI 전송장치.

【청구항 5】

비동기 이동통신 시스템의 제1채널과 제2채널의 정보량의 비에 따라 각각
대응되도록 부호화된 후 다중화되어 전송되는 TFCI비트를 수신하는 장치에 있어
서,

수신되는 상기 TFCI 심볼들을 각각 상기 제1채널 및 제2채널로 역다중화하
는 디멀티플렉서와,

상기 제1채널의 부호길이 정보에 따라 상기 제1채널의 TFCI비트들의 대응
되는 위치에 0을 삽입한 후 복호화하는 제1복호기와,

상기 제2채널의 부호길이 정보에 따라 상기 제2채널의 TFCI비트들의 대응되
는 위치에 0을 삽입한 후 복호화하는 제2복호기로 구성된 것을 특징으로 하는
TFCI 전송장치.

【청구항 6】

비동기 이동통신 시스템의 제1채널과 제2채널의 정보량의 비에 따라 각각 대응되는 TFCI비트를 부호화하여 전송하는 방법에 있어서,

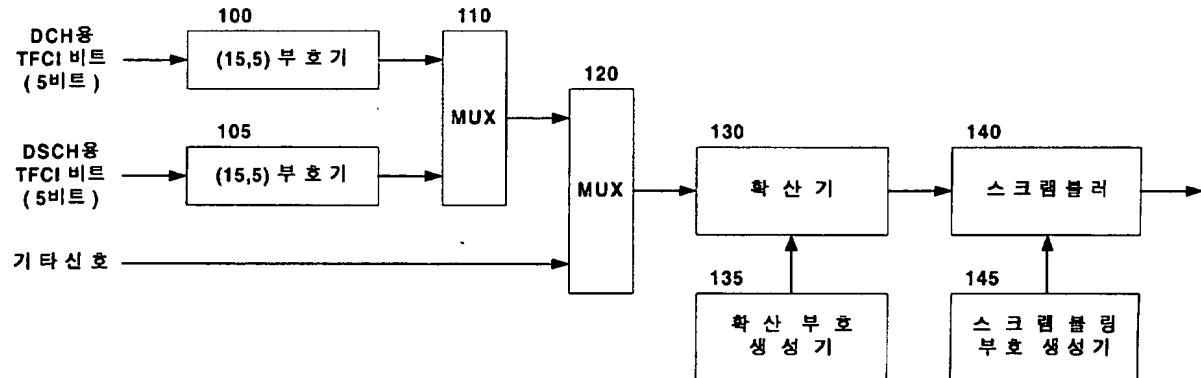
상기 제1채널의 정보량에 따른 m비트의 제1TFCI비트들을 및 상기 제2채널의 정보량에 따른 n비트의 제2TFCI비트들을 생성하는 과정과,

상기 제1TFCI비트들을 설정된 부호화율에 따라 부호화하며, 상기 부호화된 제1TFCI 심볼들을 상기 제1채널의 부호길이 정보에 따라 천공하는 제1부호화과정 및 상기 제2TFCI 비트들을 설정된 부호화율에 따라 부호화하며, 상기 부호화된 제2TFCI 심볼을 상기 제2채널의 부호길이 정보에 따라 천공하는 제2부호과정과,

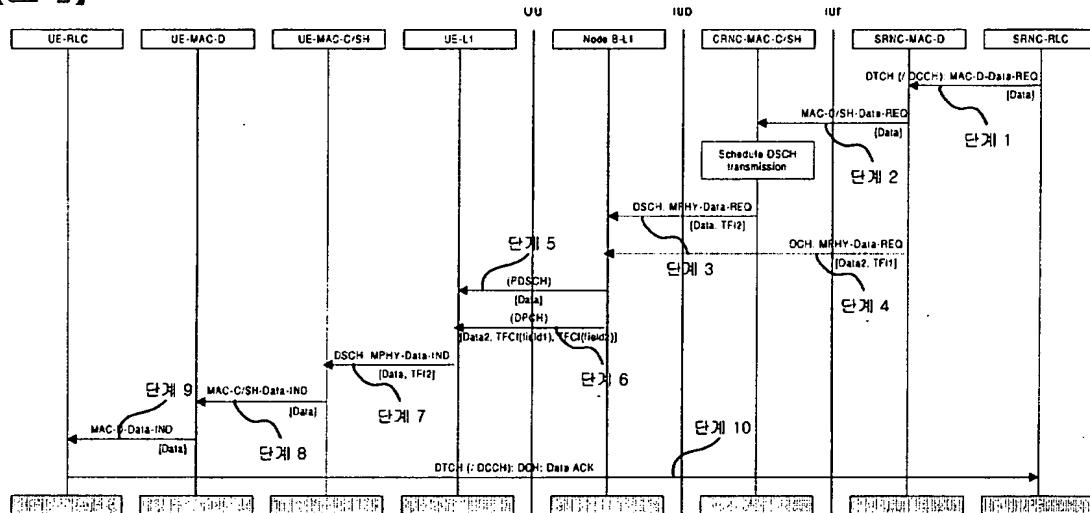
상기 제1부호 및 제2부호 과정에서 생성된 TFCI 심볼들을 균일하게 분포되도록 다중화하는 과정으로 이루어짐을 특징으로 하는 TFCI 전송방법.

【도면】

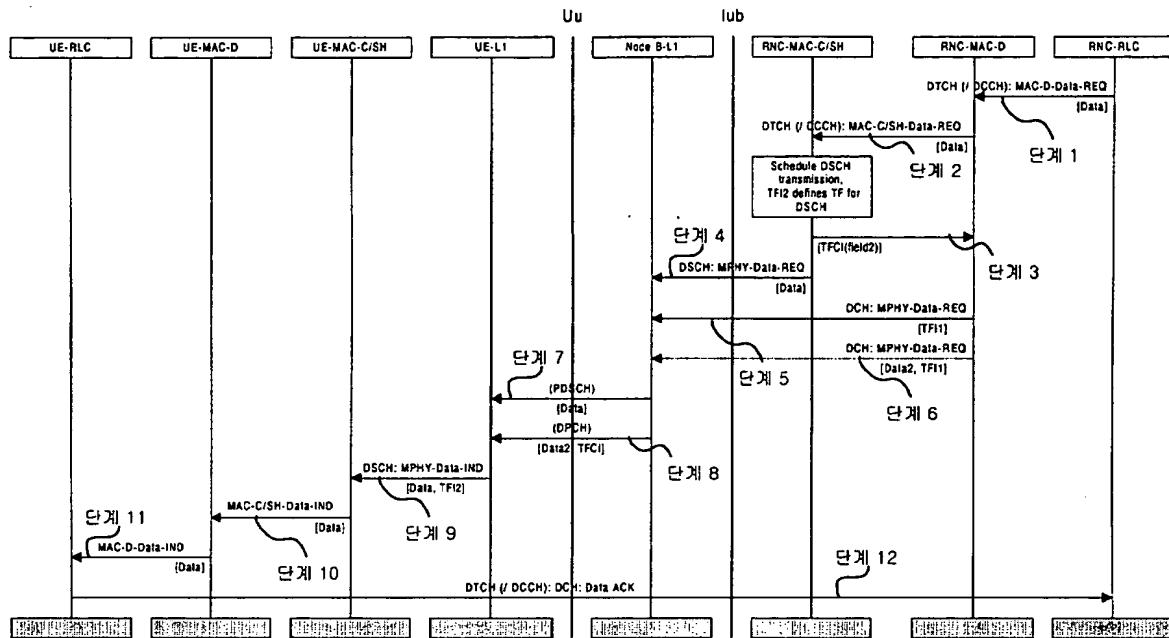
【도 1】



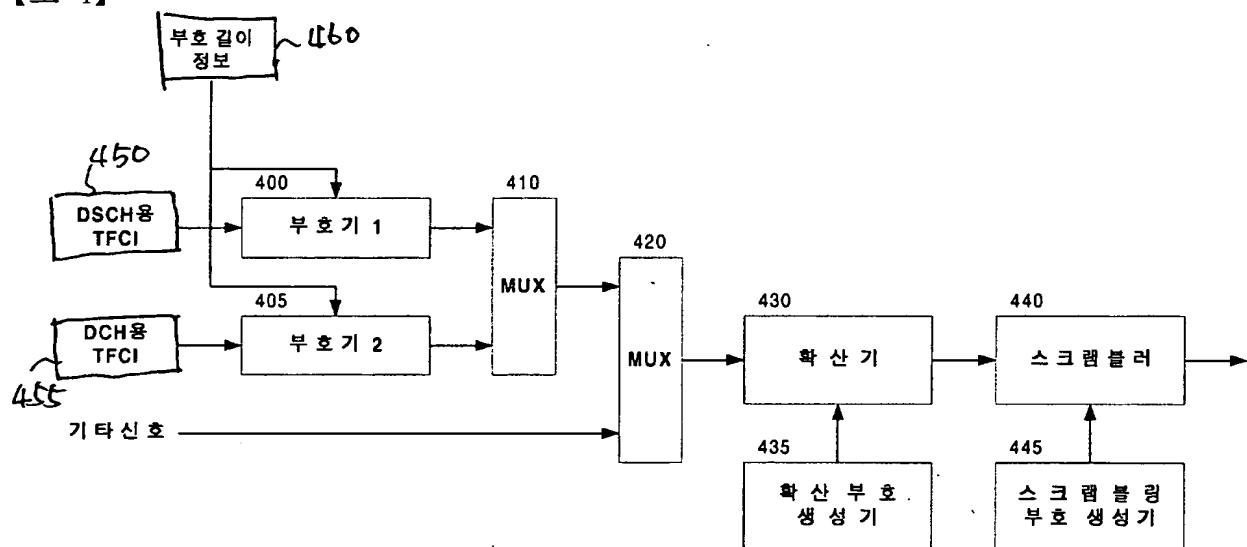
【도 2】



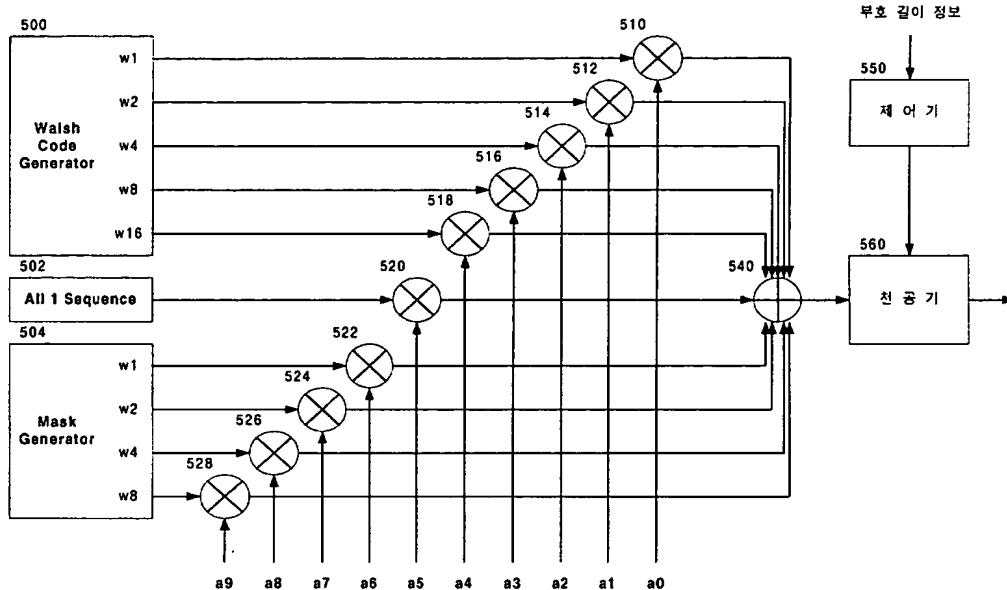
【도 3】



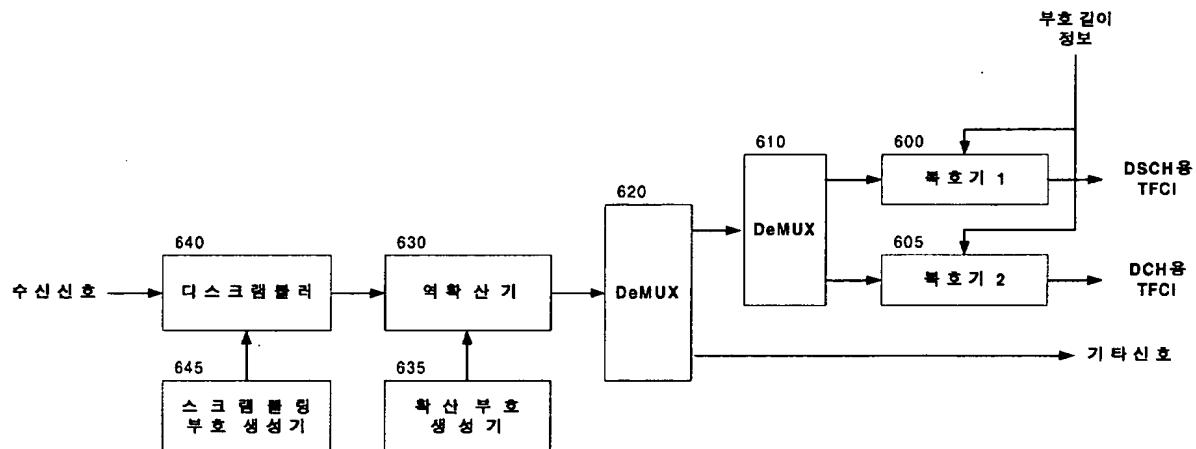
【도 4】



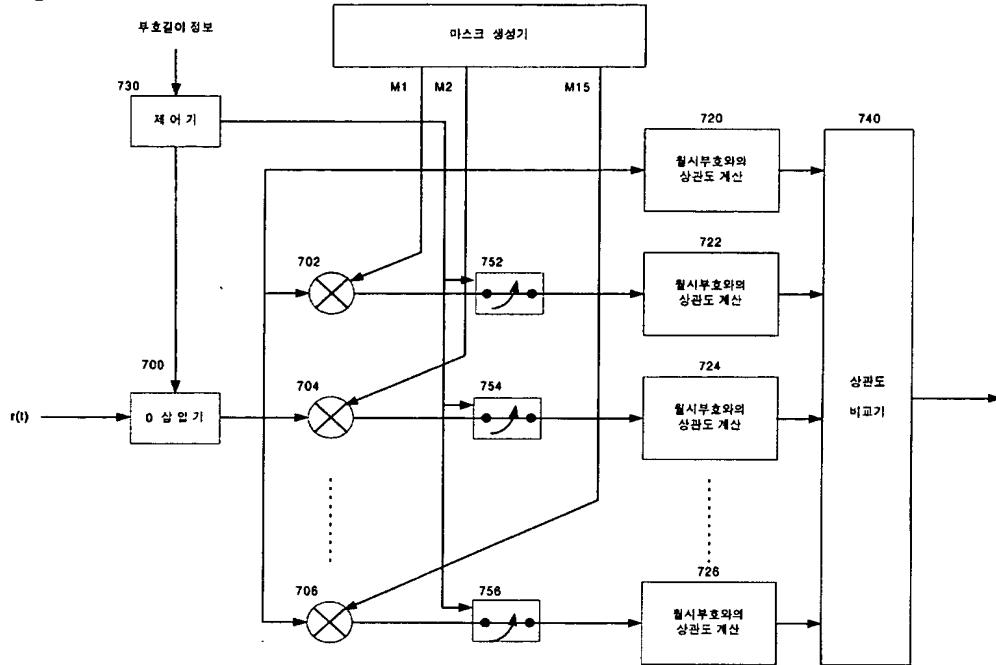
【도 5】



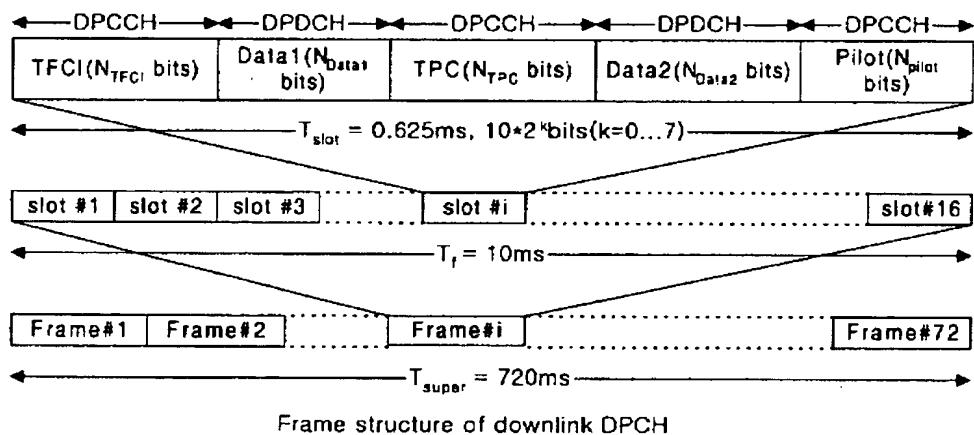
【도 6】



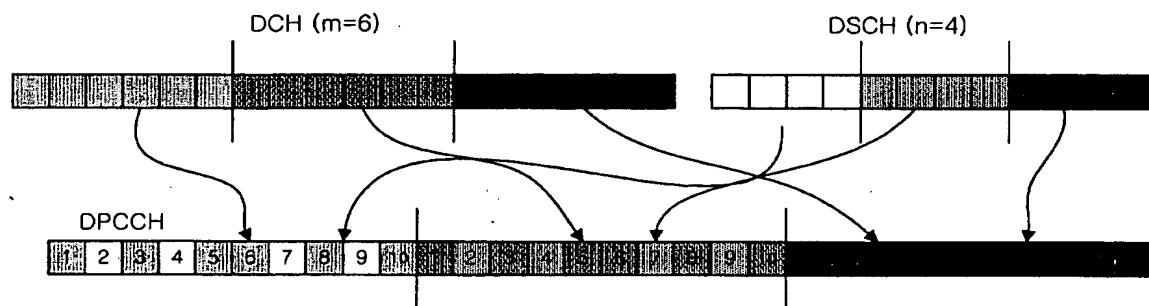
【도 7】



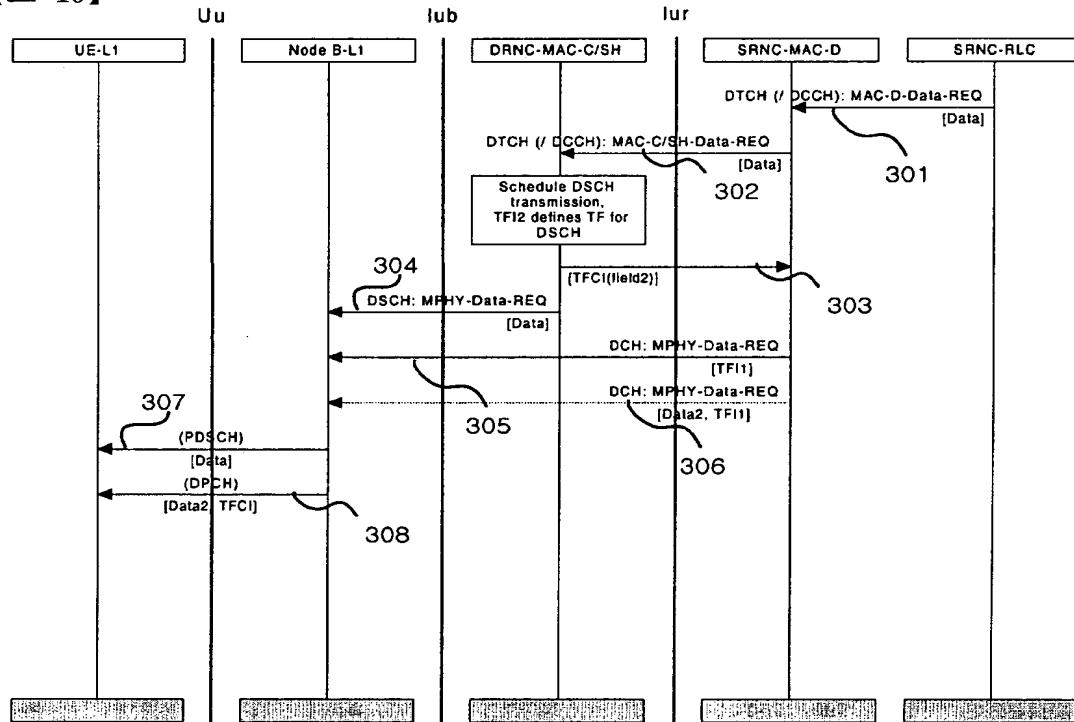
【도 8】



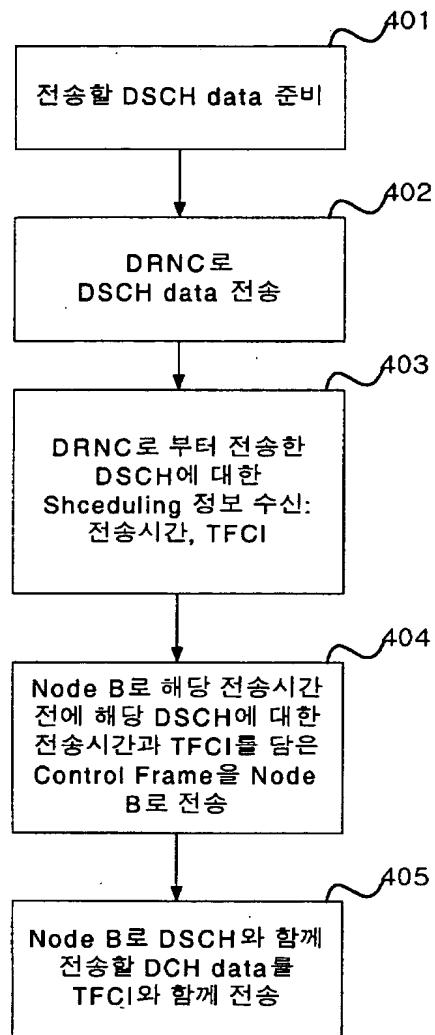
【도 9】



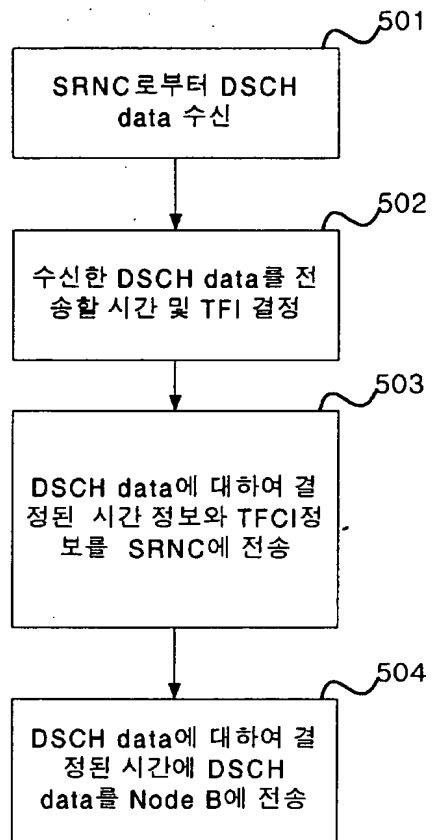
【도 10】



【도 11】



【도 12】



【도 13】

